

信頼性ハンドブック

2024年 4月

© 2024 KIOXIA Corporation. All Rights Reserved.

KIOXIA

目次

第一章 半導体製品の信頼性

1-1. 信頼性の考え方	9
1-1-1. 信頼性の定義と定量化	9
1-1-2. 時間的品质としての信頼性とその尺度	10
1-1-2-1. 信頼度 (または信頼度関数)	
$R(t)$ (Reliability Function)	
1-1-2-2. 不信頼度 (または故障分布関数)	
$F(t)$ (Cumulative Failure Distribution)	
1-1-2-3. 故障密度関数	
$f(t)$ (Failure Density Function)	
1-1-2-4. (瞬間) 故障率	
$\lambda(t)$ (Failure RateまたはHazard Rate)	
1-1-2-5. 寿命 (Life)	
1-1-2-6. 信頼性の解析に用いられる分布	
1-1-2-7. 連続分布	
1-1-2-8. 離散分布	
1-1-2-9. バスタブカーブ	
1-1-2-10. 初期故障期のスクリーニングの考え方	
1-1-2-11. 市場故障モードと信頼性向上	
1-1-3. 半導体の信頼性に影響を与える使用条件と環境条件	28
1-1-4. 外部ストレスに対する製品の強度の向上	29

目次

1-2. 半導体の信頼性に影響を与える因子	30
1-2-1. 設計要因	30
1-2-2. 製造プロセス要因	33
1-2-3. 使用環境要因	36
1-2-4. 信頼性要因解析技法	39

目次

第二章 故障メカニズム	43
2-1. Waferプロセス	45
2-1-1. 継時的絶縁膜破壊(TDDDB)	46
2-1-2. ストレス誘起リーク	48
2-1-3. ホットキャリア注入(HCI)	49
2-1-4. 負バイアス不安定性(NBTI)	52
2-1-5. エレクトロマイグレーション(EM)	55
2-1-5-1. Al配線のエレクトロマイグレーション	
2-1-5-2. Cu配線のエレクトロマイグレーション	
2-1-6. ストレスマイグレーション(SM)	59
2-1-7. 不揮発性メモリの故障モード	62
2-1-7-1. 繰り返し書き換え故障(Endurance)	
2-1-7-2. ディスターブ故障(Disturb)	
2-1-7-3. リテンション(電荷保持)故障(DR)	
2-1-8. その他	64
2-1-8-1. アロイスパイク	
2-1-8-2. イオン汚染	
2-1-8-3. 分極	
2-1-8-4. 寄生MOS	
2-1-8-5. ピンホール・クラック	
2-2. アセンブリプロセス	66
2-2-1. Wire Bonding故障	66
2-2-2. 配線腐食	68
2-2-3. 樹脂封止による故障	73

目次

2-2-4. 実装故障	81
2-2-4-1. パッケージの吸湿・排出特性	
2-2-4-2. パッケージクラック発生のメカニズム	
2-2-5. Ag migration	84
2-2-6. ウィスカ	84
2-3. 使用環境	85
2-3-1. 静電気放電(ESD)	85
2-3-1-1. 静電気破壊試験回路	
2-3-2. 電氣的オーバーストレス(EOS)	88
2-3-3. ソフトエラー(Soft Error)	90
2-3-4. ラッチアップ(Latch-Up)	91
2-3-4-1. ラッチアップ試験回路	

目次

第三章 信頼性試験	97
3-1. 信頼性試験とは	97
3-1-1. 信頼性試験の意義と目的	97
3-1-2. 信頼性試験を実施するにあたって	99
3-1-3. 信頼性試験方法	100
3-1-3-1. TEG評価法	
3-1-3-2. 製品評価法	
3-1-4. 故障判定基準	103
3-2. 信頼性試験の具体的適用方法	104
3-2-1. 製品認定試験手順	104
3-2-2. 量産工程での信頼性モニタ	106
3-3. 加速寿命試験	107
3-3-1. 加速寿命試験の目的	107
3-3-2. 定ストレス加速とステップストレス加速	108
3-3-3. 温度による加速	110
3-3-4. 温湿度による加速	116
3-3-4-1. 耐湿性試験の種類	
3-3-4-2. 耐湿性の加速モデル	
3-3-5. 電圧による加速	119
3-3-6. 温度差による加速	122
3-3-7. 電流による加速	124

目次

第四章 故障解析	127
4-1. 故障解析の意義	127
4-2. 故障解析に用いられる装置	129
4-2-1. 電气的特性測定	130
4-2-2. 故障箇所の特定	130
4-2-3. 観察	130
4-2-4. 元素分析	131
4-2-5. 試料作製	132
4-3. 故障解析と信頼性向上施策	133
4-4. 故障解析手順	134
4-4-1. 一般的な製品の故障解析手順	134
4-4-2. LSIでの故障箇所特定	137
4-4-2-1. CADナビゲーションシステム	
4-4-2-2. 診断ツール	
4-5. レイヤー解析	143
4-6. 故障解析の事例	144

目次

第五章 信頼性の数理	164
5-1. 信頼性の推定	164
5-1-1. 信頼性尺度のノンパラメトリックな推定	164
5-1-2. 寿命分布の形の推定と検定	165
5-1-3. 信頼性尺度のパラメトリック推定	167
5-1-4. 確率紙の使い方	172
5-2. 故障分布モデル	174
5-2-1. ロープモデル	174
5-2-2. 最弱リンクモデル	175
5-2-3. 比例効果モデル	175
5-2-4. ストレス・強度モデル	176
5-2-5. 反応論モデル	176
5-2-6. 装置の信頼度モデル	177
5-3. 故障率予測	178
5-3-1. 概論	178
5-3-2. 加速寿命試験による故障率予測	179

付録

1. 抜取検査
 - 1-1. 抜き取り検査
 - 1-2. 抜き取り検査の型
 - 1-3. 抜き取り検査とOC曲線
 - 1-4. 計数抜き取り検査の数理
 - 1-5. 抜き取り表

第一章 半導体製品の信頼性

半導体製品を使用する装置・システムは、高機能化・高性能化が進み、近年ますます半導体製品への高機能・高信頼性が要求されるようになってきました。また、その高機能化要求に答えるべく、半導体製品の微細化・高集積度化が進み、信頼性確保がより重要となってきています。

本章では、信頼性の考え方、半導体の信頼性に影響を与える因子について説明します。

1-1. 信頼性の考え方

1-1-1. 信頼性の定義と定量化

工業生産の始まりから、企業においては製品に対する信頼性を高めるため、製品の品質として耐久性、寿命、安全性、サービス性というような形で信頼性が取り上げられてきました。しかし信頼性が組織的に取り上げられるようになったのは1950年代からで、機器の高度化や複雑化、化学プラントや電力システムのようにシステム化の進展にともない、故障による社会的影響や損害の増大をきたすようになり、信頼性が重要な品質特性としてクローズ・アップされてきました。このため、信頼性という抽象的な概念から、もっと定量的な表現を見つけ出し、実際のシステムや製品の信頼性をはかり、改善し、管理するという動きが活発になってきました。

JIS Z 8115:2019 ディペンダビリティ（総合信頼性）用語では、
「Reliability(信頼性)」とは「アイテムが、与えられた条件の下で、与えられた期間、故障せずに、要求どおりに遂行できる能力」と定義。

ここで「アイテム」とは、「ディペンダビリティの対象となる、個別の部品、構成品、デバイス、機能ユニット、機器、サブシステム、又はシステムである」と定義しています。

第一章 半導体製品の信頼性

ここで重要なのは、信頼性とは、

- ① 時間の要素
- ② 使用条件、環境条件などの空間的条件
- ③ 規定の機能を維持しているかどうかの判定限界、すなわち故障とは何か

という3つの独立な概念をふくんだ「確率」によって表される製品のひとつの特性を意味しているということです。

1-1-2. 時間的品質としての信頼性とその尺度

信頼性の定義と定量化で述べた、信頼性の3要素(時間、空間的条件、故障の定義)のうち、空間的条件や故障の定義は1つの機器に限れば変化するものではないので、一般に信頼性は時間(t)の関数として取り扱われます。品質という概念が従来、機能が初期の段階(時間零の段階)で正常かどうかを主に取り扱っていたのに対し、信頼性は時間の推移と共に機能が正常に維持されているかどうかを取り扱うことです。

信頼性は前述のように時間を変数とする確率で表されますが、対象が部品かシステムか、またその目的や用途の違いによって、次のような尺度が定量化の方法として使い分けられています。

1-1-2-1. 信頼度(または信頼度関数) R(t) (Reliability Function)

使用開始時の良品数とt時間後の良品数との比(残存率)として定義され、

$$R(t) = \frac{N_0 - C(t)}{N_0}$$

N_0 = 使用開始時の良品数
 $C(t)$ = 時間tまでに故障になった製品の数

で表わされます。

第一章 半導体製品の信頼性

1-1-2-2. 不信頼度 (または故障分布関数)

F(t) (Cumulative Failure Distribution)

使用開始からt時間後までの累積故障率 (Cumulative Failure Rate) で、R(t) と相補形分布をなし、図1-1-2-1 のような関係になります。

$$F(t) = \frac{C(t)}{N_0} = 1 - R(t)$$

N_0 = 使用開始時の良品数

$C(t)$ = 時間t までに故障になった製品の数

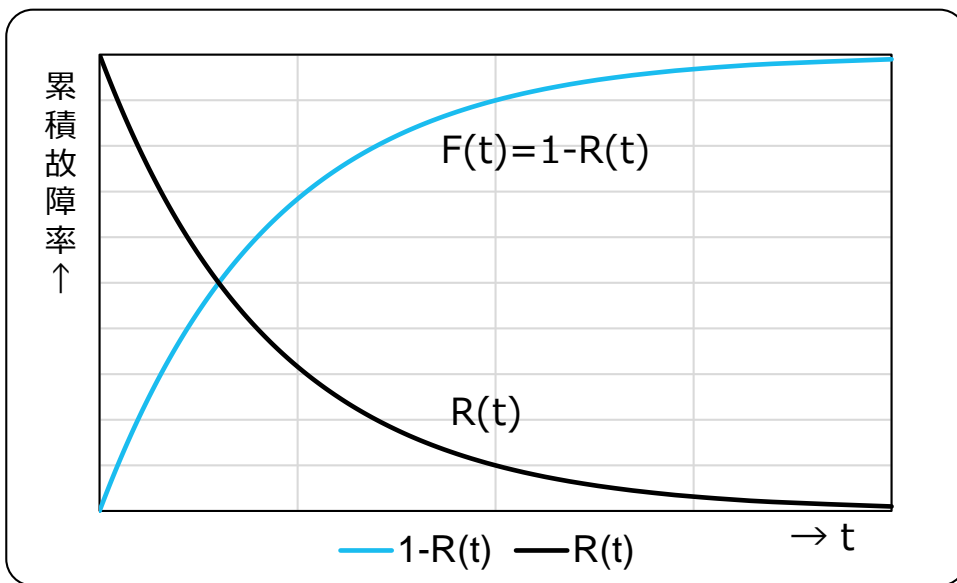


図1-1-2-1 信頼度と不信頼度の関係

1-1-2-3. 故障密度関数 $f(t)$ (Failure Density Function)

不信頼度F(t) の時間微分で定義され、時間tにおける故障増加の割合を表します。

$f(t)$ を用いて信頼度、不信頼度を表すと、

$$f(t) = \frac{dF(t)}{dt} = -\frac{dR(t)}{dt}$$

$$R(t) = \int_t^{\infty} f(t)dt$$

$$F(t) = \int_0^t f(t)dt$$

となります。

第一章 半導体製品の信頼性

1-1-2-4. (瞬間) 故障率 $\lambda(t)$ (Failure RateまたはHazard Rate)

時間 t における単位時間当たりの故障発生割合を表します。

$$\lambda(t) = \frac{f(t)}{R(t)} = -\frac{dR(t)}{dt} \cdot \frac{1}{R(t)} = -\frac{d \ln R(t)}{dt}$$

信頼度は $\lambda(t)$ を用いて表すと

$$R(t) = \exp\left(-\int_0^t \lambda(t) dt\right)$$

となります。

故障率の表現はMIL規格などでは1,000hを「単位時間」として扱い「%/1000h」で表されていますが、半導体製品では、一般に故障率が非常に低いため 10^{-9} (故障/時間) = 10^{-4} (%/1000h) = 1FITなる単位で表されます。

1-1-2-5. 寿命 (Life)

寿命の表し方には種々の方法があり、修理不能な装置や部品ではMTTF (Mean Time To Failure)、修理可能な装置ではMTBF (Mean Time Between Failures) などで表す平均寿命や、故障率がある規定値以下にとどまる時間の長さを表す有効寿命 (Useful Life) などが用いられます。部品では修理不能であり、MTTFが用いられ、次のように求められます。

$$MTTF = \int_0^{\infty} t f(t) dt$$

第一章 半導体製品の信頼性

1-1-2-6. 信頼性の解析に用いられる分布

製品の信頼性がどの程度のものかを評価し定量的に表現することは、それを向上させるために採る技術上、管理上の手段を選ぶ前提となるばかりでなく、設計におけるコストとのトレードオフや保証のためにも必要です。

評価手順の例を図示すると次のようになります。

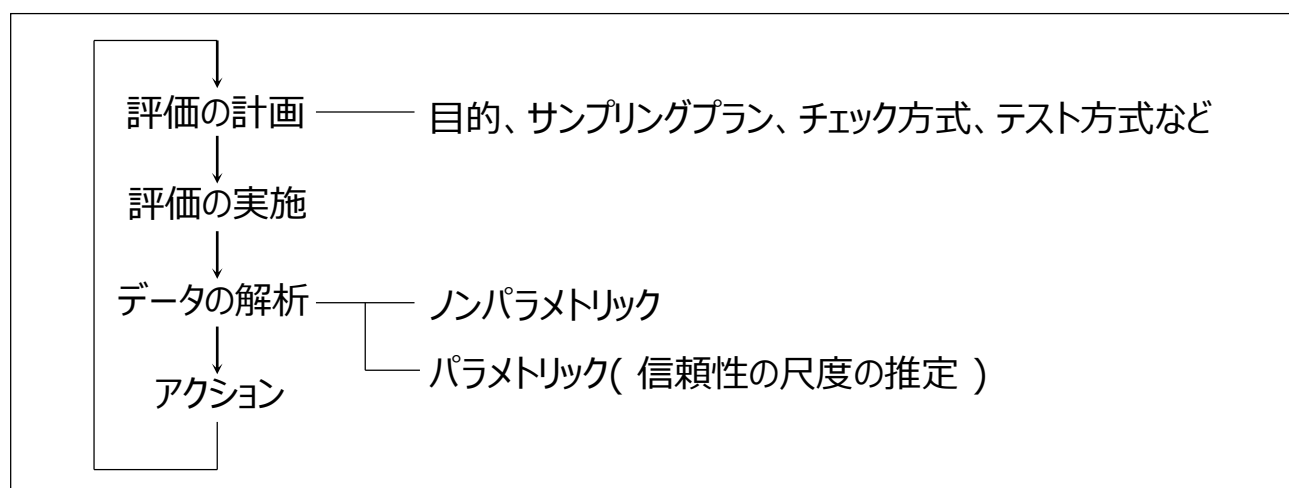


図 1-1-2-2 評価手順の例

ここでは、データの解析に必要な基本的な数理について説明します。データの解析は、すでに述べた各種の信頼性の尺度（信頼度、平均寿命、故障率など）を推定する作業です。推定の方法によって分布形を仮定しないノンパラメトリックな方法と、分布形を仮定して行うパラメトリックな方法の2通りに分けることができます。

後述するようにパラメトリックな推定の方が精度が高く、経済的であることから広く用いられています。用いられる分布には指数分布、ワイブル分布、対数正規分布、正規分布、ガンマ分布などの連続分布や、幾何分布、二項分布、ポアソン分布、負の二項分布などの離散分布があります。

第一章 半導体製品の信頼性

1-1-2-7. 連続分布

(a) 指数分布 (Exponential Distribution)

故障密度関数 $f(t)$ が次式で表せるものを指数分布といいます。

$$f(t) = \lambda e^{-\lambda t} \quad \lambda: \text{故障率 (定数)}$$

この場合の信頼度 $R(t)$ は次式で表せます。

$$R(t) = e^{-\lambda t}$$

故障率(λ)は時間に無関係な定数です。

平均寿命 μ は次式で表すと、

$$\mu = 1/\lambda$$

となり、故障率の逆数が平均寿命となります。指数分布には平均寿命とMTBFが等しいという特徴や、ある時間経過後生き残った製品の信頼度は使用開始時の製品の信頼度と等しいという特徴をもっています。

(b) ワイブル分布 (Weibull Distribution)

故障密度関数 $f(t)$ は、次式で与えられます。

$$f(t) = \frac{m(t - \gamma)^{m-1}}{t_o} \cdot \exp\left\{-\frac{(t - \gamma)^m}{t_o}\right\}$$

故障率 $\lambda(t)$ 、平均寿命 μ 、信頼度すなわち時間 t における残存率 $R(t)$ 、故障分布関数すなわち時間 t までの累積故障率 $F(t)$ は、それぞれ次のように表されます。

第一章 半導体製品の信頼性

$$\lambda(t) = \frac{m(t - \gamma)^{m-1}}{t_0}$$

$$\mu = t_0^{\frac{1}{m}} \Gamma\left(1 + \frac{1}{m}\right) \quad \text{ここで、}\Gamma = \text{ガンマ関数}$$

$$R(t) = \exp\left\{-\frac{(t - \gamma)^m}{t_0}\right\}$$

$$F(t) = 1 - \exp\left\{-\frac{(t - \gamma)^m}{t_0}\right\}$$

上式において m 、 t_0 および γ は分布のパラメータであり、 m は分布の形状を定めるもので「形状パラメータ」と呼びます。この m の値を変えた分布の形を故障率の時間的推移でながめてみますと図 1-1-2-3 のように変化します。

$m = 1$ のときは指数分布になり、ワイブル分布はその特別な場合として指数分布をも包含します。

$m > 1$ のときは故障率が時間とともに増加する傾向の分布、

$m < 1$ のときは故障率が時間の減少関数となり、 m が3~4では後述の正規分布とよく似た分布となります。

t_0 は時間の尺度を定めるパラメータで「尺度パラメータ」と呼ばれ、また γ は故障の発生し始める時間位置を示していることから「位置パラメータ」と呼ばれています。

不信頼度の式において、時間 $(t - \gamma) = t_0^{1/m}$ と置けば、 $F(t)$ は m 、 t_0 、 γ に対して独立な一定値0.632となりますので、特に、この $t_0^{1/m}$ のことを「特性寿命」と呼んでいます。

第一章 半導体製品の信頼性

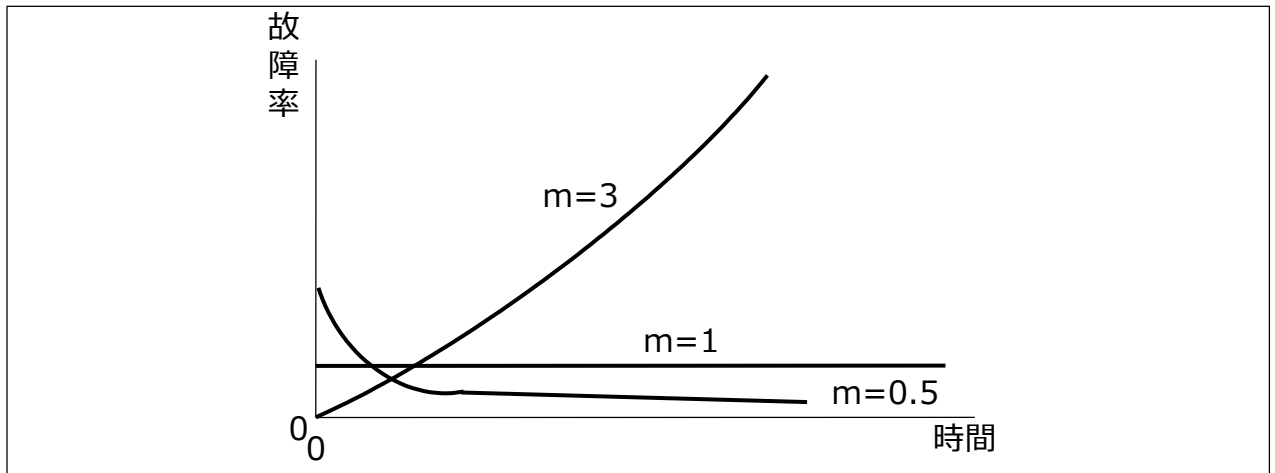


図 1-1-2-3 故障率とmとの関係

(c) 対数正規分布 (Lognormal Distribution)

故障密度関数 $f(t)$ が次式で与えられ、 $\ln t = y$ と置けば正規分布となります。

$$f(t) = \frac{1}{\sqrt{2\pi\sigma t}} \exp\left\{-\frac{(\ln t - m)^2}{2\sigma^2}\right\}$$

平均寿命 μ 、メディアン t_{50} は、それぞれ次式で表されます。mは分布の中央値(メディアン)を示すパラメータ、 σ のパラメータはばらつきを示します。

$$\mu = \exp\left\{m + \frac{1}{2}\sigma^2\right\}$$

$$t_{50} = e^m$$

第一章 半導体製品の信頼性

(d) 正規分布 (Normal Distribution)

故障密度関数 $f(t)$ 、平均寿命、 μ 、故障率 $\lambda(t)$ は、それぞれ次のように表されます。

$$f(t) = \frac{1}{\sqrt{2\pi}\sigma} \cdot \exp\left\{-\frac{(t-m)^2}{2\sigma^2}\right\}$$

$$\mu = m$$

$$\lambda(t) = \frac{\exp\left\{-\frac{(t-m)^2}{2\sigma^2}\right\}}{\int_t^{\infty} \exp\left\{-\frac{(t-m)^2}{2\sigma^2}\right\} dt}$$

m および σ は、それぞれの分布の平均を求めるパラメータ、およびばらつきを表すパラメータを示しています。

(e) ガンマ分布 (Gamma Distribution)

故障密度関数 $f(x)$ 、平均寿命 μ 、故障率 $\lambda(t)$ は、それぞれ次式で表されます。

$$f(t) = \frac{m^k}{\Gamma(k)} t^{k-1} \cdot e^{-mt}$$

$$\mu = k/m$$

$$\lambda(t) = \frac{t^{k-t} e^{-mt}}{\int_t^{\infty} x^{k-1} \cdot e^{-mx} dx}$$

k を形状パラメータと呼び、 $k = 1$ の場合は指数分布に近くなり、また $k \geq 4$ の場合は正規分布に近くなります。

ガンマ分布 (Γ 分布) はストレスが k 回与えられて初めて故障する場合と考えることができ、この場合の m は単位時間当たりのストレスの回数と考えることができます。

第一章 半導体製品の信頼性

1-1-2-8. 離散分布

製品を故障するまで連続的にチェックすることが物理的に不可能な場合とか、またそうすることが不便な場合には、とびとびにチェックすることが行われます。それらの場合には時間を連続変数ではなく、離散変数 k ($k = 0, 1, 2, \dots$)として扱うことができ、分布もまた離散分布となります。

(a) 幾何分布 (Geometric Distribution)

故障密度関数 $f(k)$ は、次式で表されます。

$$f(k) = p \cdot q^{k-1} \quad (p + q = 1)$$

ここで p は、時間 $(k-1)$ から次の時間 k までの間に故障の起こる確率(故障率)で、時間の推移に無関係な定数です。

平均寿命 μ 、信頼度 $R(k)$ は、それぞれ次式で表されます。

$$\mu = 1/p$$

$$R(k) = q^k$$

この分布で時間幅を小さくして行き極限として連続形にもって行きますと、この分布は指数分布となります。

第一章 半導体製品の信頼性

(b) 負の二項分布 (Negative Binomial Distribution)

指数分布の離散形として幾何分布が使われるのに対し、ガンマ分布の離散形として負の二項分布が用いられます。

故障密度関数 $f(k)$ 、平均寿命 m および信頼度 $R(k)$ は、それぞれ次式で表されます。

$$f(k) = \binom{k-1}{k-m} p^m q^{k-m} \quad \begin{array}{l} m = 1, 2, \dots \\ k = m, m+1, \dots \end{array}$$
$$\mu = m \cdot q/p$$

$$R(k) = 1 - \sum_{i=m}^k \binom{i}{k} p^i q^{k-i}$$

ここでパラメータ p 、 m は次のように考えることができます。すなわち、 p は単位時間間隔における有害ストレスの回数、 m は有害なストレスが m 回加わると製品が故障するというストレスに対する耐性とみるものです。

第一章 半導体製品の信頼性

(c) 複合型の負の二項分布

前述の幾何学分布と負の二項分布では p として時間に無関係な定数を用いましたが、 p が時間の関数 $p(k)$ で表される場合には、故障密度関数 $f(k)$ は次式で表され、

$$f(k) = \{1-p(1)\} \cdot \{1-p(2)\} \cdots \cdots \{1-p(k-1)\} \cdot p(k)$$

$$k=1, 2 \cdots \cdots$$

$p(k)$ を次式と置けば、

$$p(k) = \frac{\gamma}{\beta} \{k^\beta - (k-1)^\beta\}$$

連続形はワイブル分布となります。

(d) 二項分布 (Binomial Distribution)

幾何分布や負の二項分布などが信頼度を表す分布として用いられるのに対し、二項分布や後述のポアソン分布は主に抜取検査に用いられる離散形の分布です。

n 回の試行で故障が r 回起こる確率 $P_B(r)$ は二項分布と呼ばれ、次式で表されます。

(N 個の製品から n 個のサンプルを抜き取って試験を行い、 r 個の故障が発生した場合にも $10n < N$ なら二項分布で近似できます。)

$$P_B(r) = \binom{n}{r} p^r (1-p)^{n-r}$$

ここで、 p は1回の試行で故障が起こる確率を表しています。

第一章 半導体製品の信頼性

(e) ポアソン分布 (Poisson Distribution)

二項分布に於いて、 $np = \lambda$ と置いて

$$n \rightarrow \infty$$

$$p \rightarrow 0$$

とすると、二項分布はパラメータ λ のポアソン分布となります。

$$P_B(r) = \frac{\lambda^r}{r!} e^{-\lambda}$$

ここでパラメータ λ は二項分布の np に相当するもので、

$$n > 10$$

$$p < 0.1$$

ならポアソン近似は十分に満足するものとなります。

第一章 半導体製品の信頼性

1-1-2-9. バスタブカーブ

一般に電子部品の故障率は図1-1-2-4のように、ある傾向を示します。これを3つの期間に分けて、初期故障期、偶発故障期、摩耗故障期と呼んでいます。(この図のことをバスタブカーブと呼んでいます)

初期故障期では、スクリーニング（いわゆるバーンイン、エージング、ヒートランなど）や工程改善によって故障率を減少させることができます。

半導体製品は、偶発故障期に故障率の減少傾向が見られることがあります。偶発故障期に発生する故障は、軽微な故障で加速性が低いため、初期故障期のスクリーニングでは取り除けなかった残存故障が長い時間を経て発生したものが考えられます。

ほとんどの半導体製品は摩耗故障期に至ることはありませんが、設計対策や予防保全により摩耗故障の発生を抑制しています。

第一章 半導体製品の信頼性

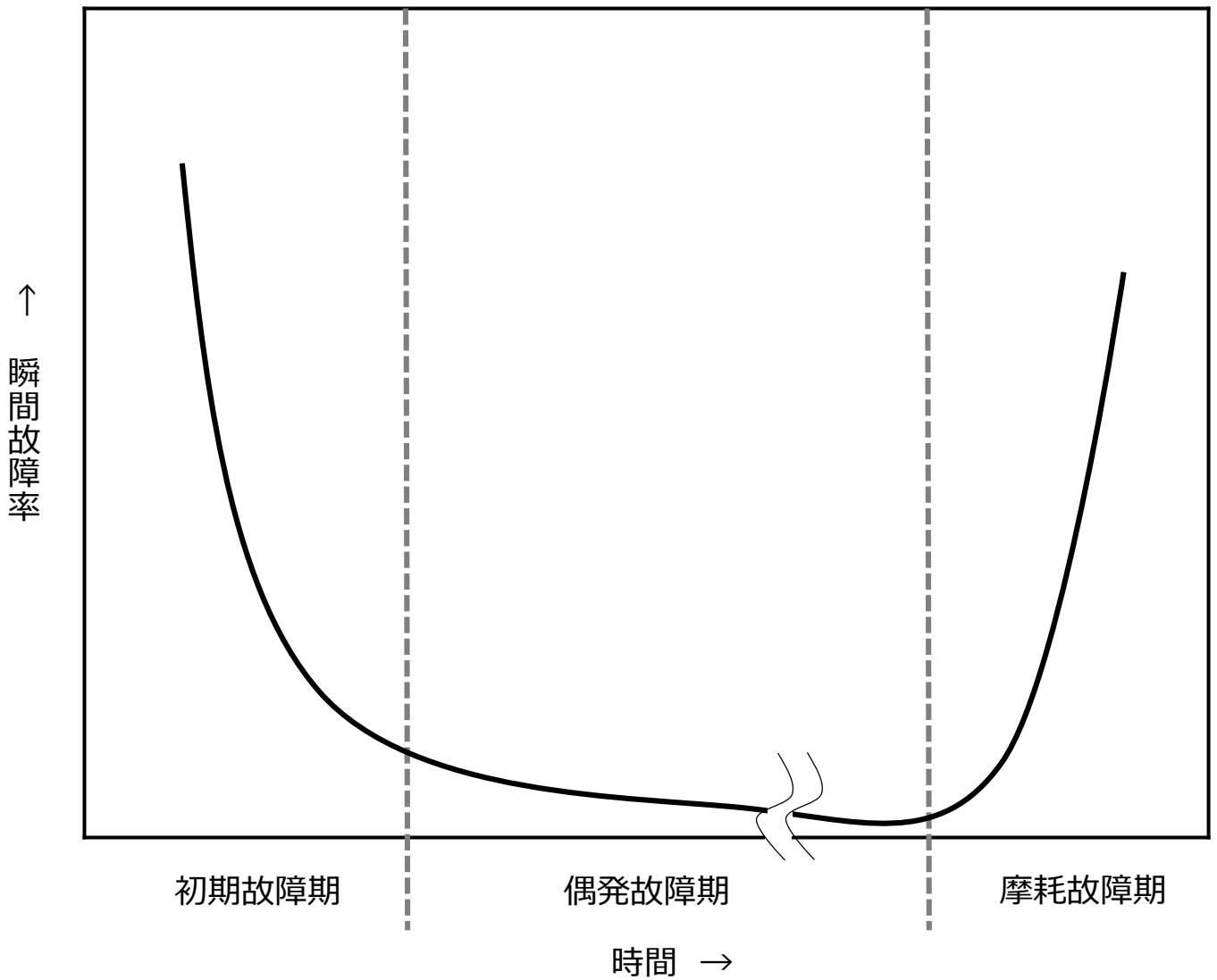


図1-1-2-4 バスタブカーブ例

第一章 半導体製品の信頼性

1-1-2-10. 初期故障期のスクリーニングの考え方

バスタブカーブにおける初期故障期では、故障率は偶発故障期に比べ高い値となりますが、製造工程時に取り込まれた欠陥が原因となる故障が一般的であり、時間とともに単調減少していきます。

その初期的な故障率低減のために、工程改善により欠陥自体を低減させる施策を行いますが、低減には時間を要する場合があります。欠陥低減施策と並行してスクリーニングにより故障率を減少させる対策をとることがあります。

図1-1-2-5に、スクリーニング条件検討フロー例を示します。

図1-1-2-5に従って取得されたデータを用いてワイブルプロット解析を行い、スクリーニング後の残存故障率はその半導体製品の市場故障率を満足するようなスクリーニング条件を決定します。決定されたスクリーニング条件は、スクリーニング後のEFR(Early Failure rate : 初期故障率)取得により検証されます。

第一章 半導体製品の信頼性

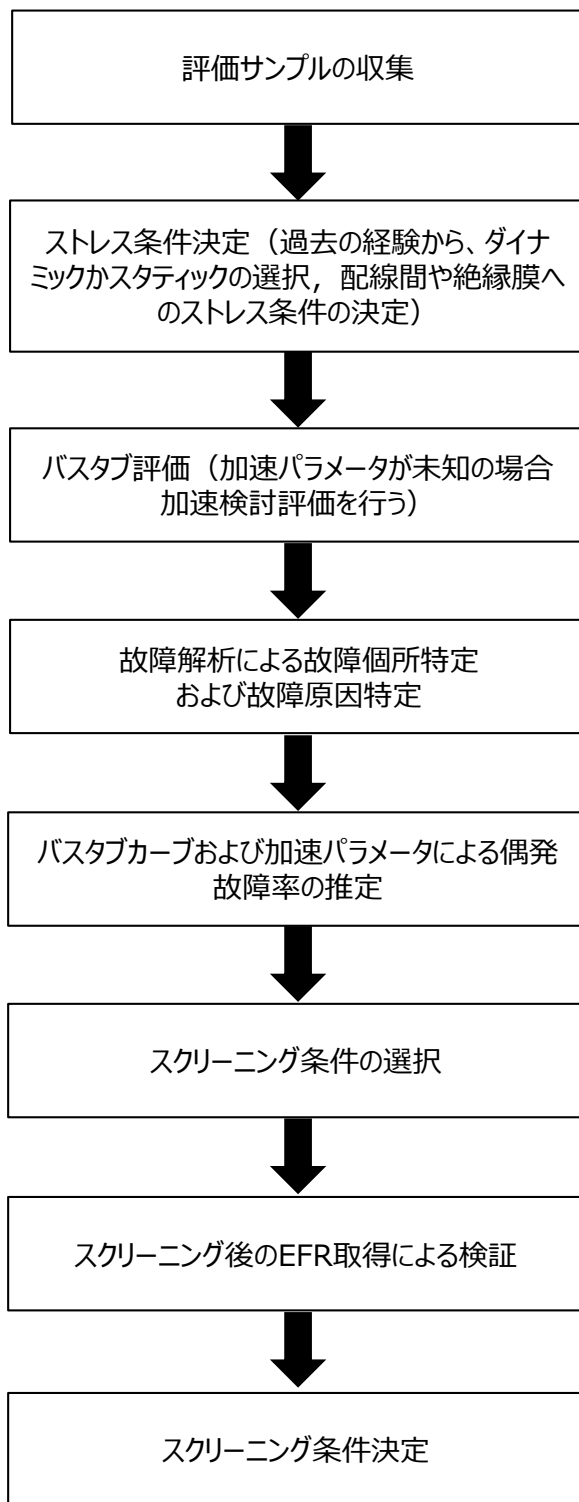


図 1-1-2-5 スクリーニング条件検討フロー例

第一章 半導体製品の信頼性

1-1-2-11. 市場故障モードと信頼性向上

SoC (System on Chip) の故障には様々なモデルがあります。代表的な故障モデルとしては、回路の入力状態に関係なく、常に論理的に0または1に固定されたように振舞う縮退故障があります。

回路中の故障を検出する際にテストパターンの有効性を確認するためには、一般的に故障シミュレーションが使用されています。例えば、故障のあるノードが0縮退故障であったと仮定します。そのノードを1にするパターンを入力し、出力された値を正常な回路と比較したとき、一致しなければ検出可能といえ、一致していれば、そのパターンでは検出不可能ということになります。

このように、故障シミュレーションは回路中のあるノードに故障を仮定した場合、それがテストパターンで検出可能かどうかを、想定される故障箇所数だけ繰り返しテストプログラムの完全性を確認する方法です。また回路中で仮定された故障数に対する、検出可能な故障数の割合をテストカバレッジといいます。

縮退故障については、SoCの大規模化に伴い、従来のファンクションテストのみで高い故障検出率を達成することは難しくなっています。このため以前よりScan手法・ATPG (Automatic Test Pattern Generation) 技術と組み合わせ、高い故障検出率を達成していました。更に近年プロセスの微細化によりSoCの高速化が進み、縮退故障に加え、遅延故障などへの対応が求められるようになってきています。

遅延故障とは何らかの原因により、回路の遅延が仕様内に収まらない故障です。遅延故障も縮退故障と同様、従来のファンクションテストのみで高い故障検出率を達成することは難しくなり、Scanを使用したトランジションディレイテストなどの手法を併用し、高い故障検出率を達成する必要があります。図1-1-2-6にトランジションテストの概要を示しています。

第一章 半導体製品の信頼性

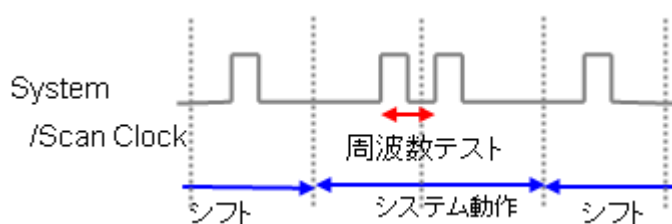


図1-1-2-6 トランジションデレイテストの概要

図1-1-2-6のように、クロック間を、所望のテスト周期で動作させ、周波数テストを行います。パターンはATPGのアルゴリズムに基づき、自動的に発生させ、SoCに印加され、遅延故障を検出することが出来ます。

第一章 半導体製品の信頼性

1-1-3. 半導体の信頼性に影響を与える使用条件と環境条件

半導体製品の信頼性は、製品に外部から加わる電氣的負荷、周囲環境負荷、機械的負荷などによって生じるストレス（これを外部ストレスと呼びます）と、製品自身のこれら外部ストレスに対する耐性（広義の強度）によって定まってきます。

信頼性を高めるためには、予想される外部ストレス以上の強度を製品におりこむこと、また使用にあたっては外部ストレスを製品の強度以下の低い値におさえること、の2つが必要になってきます。

製品に加わる外部ストレスのうち半導体製品の信頼性に影響を与えるものとして、

- 1.使用時の電氣的負荷としては電圧、電流、電力、サージなど
- 2.周囲環境負荷としては温度、湿度、ガス、塵埃、放射線など
- 3.機械的負荷としては組込時や輸送時などの振動、衝撃など

が考えられます。

当社半導体製品では、信頼性を高めるために通常加わる熱的ストレスや機械的ストレスなどの外部ストレスに対し十分余裕のある設計をしていますが、外部ストレスを低減することにより一段と機器の信頼性が向上します。

外部ストレスやディレーティング（最大定格に対し使用条件をできるだけ低く設計して信頼性を高める方法）の詳細については、半導体製品の信頼性に影響を与える因子の項、取扱い上のご注意とお願い、付録などをご参照ください。

第一章 半導体製品の信頼性

1-1-4. 外部ストレスに対する製品の強度の向上

半導体製品の信頼性を高めるためには、外部ストレスに対する製品の耐性（強度）を向上させ余裕度を増大させるとともに、故障に至らしめる要因を解明し対策を行うことが必要です。

半導体製品は、用いられるプロセス、集積回路の場合にはその回路パターンによって信頼性が大きく影響されること、外部との電氣的接続を行うための配線の影響も大きいことなど、プロセス設計、回路設計、外圍器設計などのデザイン・設計が重要です。また製造工程は量産型であるため、厳密な工程QCの採用やスクリーニングによって信頼性向上が図られるとともに、各種の信頼性試験や信頼性モニタリング、市場実績の解析を行い、そのウィークポイントの摘出と、改善および再発防止の処置がとられます。

また半導体製造に使われる技術は進歩が早く、新しい技術の採用も頻繁に行われるため、故障物理的方法によって信頼性向上が図られています。

故障物理の概念は特に新しいものではなく、故障の発生は使用条件、環境条件などの外部ストレスによって、あるエネルギーが製品に与えられると考えて、これを物理的、化学的に解明して故障の形態、故障の機構を究明し、設計、製造ラインへフィードバックして信頼性向上を図るとともに、寿命との関係を求め故障率や信頼性の推定を行うものです。

このように設計、製造、評価、解析、対策のサイクルを回すことによって、厳しい市場要求に対応し、信頼性の向上が図られています。

第一章 半導体製品の信頼性

1-2. 半導体の信頼性に影響を与える因子

1-2-1. 設計要因

製品の信頼性は、製品の設計段階でその基本的要因が定まります。半導体製品において考慮すべき設計要因としては表1-2-1-1に示すものが挙げられます。これは大きく分けて、パターン設計、製造プロセス設計、外囲器設計になります。

パターン設計においては求められる機能特性から、構成されるトランジスタ（バイポーラ型あるいはMOS型）の寸法形状のほかに性能を満たすための諸条件が決められます。次にそれらのトランジスタを組み合わせ結合し、ある機能を実現させるための作業に入りますが、このときトランジスタ間の配線の引きまわしを極力最小限にし、かつチップサイズを最小限にするために個々のトランジスタ、抵抗、配線幅、配線間隔など寸法を小さくする努力が行われます。これらは、設計基準に従い自動設計され表1-2-1-1の関連要素に示す項目などがデザインルールとして決められています。

製造プロセス設計は、設計されたパターンに基づき効率よくかつ特性が規定どおり実現できることを考慮して設計されます。製造工程は、シリコン基板にトランジスタ、ダイオードおよび抵抗を設計パターンどおりに具現化するウェーハプロセスと、ウェーハに作られたパターンをダイシングし、ダイボンド、ワイヤボンド、封止し最終製品形状までにする組立工程に大別されます。ウェーハプロセスでは、ウェーハ上に形成される拡散層、酸化膜、金属配線の寸法形状を正確に再現するための様々な製造手法がとられ、また特性の安定性を維持するための努力がなされています。また、これらの加工精度はデザインルールに盛り込まれ、パターン設計にフィードバックされています。

外囲器設計は、ダイシングされたシリコン基板上の素子を使用ストレスに対し機械的かつ熱的に十分保護するとともに、製品として使用しやすい形状に設計されます。外囲器としては、素子を樹脂で埋め込む樹脂封止タイプがあります。

第一章 半導体製品の信頼性

表1-2-1-1 信頼性に影響を与える主な設計要因(1/2)

信頼性に影響を与える要因		関連要素	主な故障モード	
パターン設計	トランジスタ (バイポーラ)	寸法形状 (コレクタ、ベース、エミッタ) 不純物濃度、拡散深さ	hFE変動、ショート、オープン	
	トランジスタ (MOS)	寸法形状 (W/L)、ゲート膜厚	Vth変動、耐圧劣化、リーク電流増	
	アイソレーション	幅、拡散深さ、不純物濃度	寄生トランジスタ、リーク電流増、耐圧劣化	
	抵抗 (拡散)	寸法形状、拡散の深さ 不純物濃度	耐圧劣化、リーク電流増、ショート、オープン、抵抗変動	
	抵抗 (Poly Si、W)	寸法形状、不純物濃度、膜厚	オープン、ショート、抵抗変動	
	内部配線 (Al/Cu/Si)	寸法形状、膜厚	オープン、ショート、抵抗変動	
	内部配線 (Poly Si、W)	寸法形状、膜厚、不純物濃度	オープン、ショート、抵抗変動	
	内部配線コンタクト	寸法形状、コンタクト組み合わせ (Al/Cu/Si、Al/Cu/poly Si W埋め込みなど)	オープン、ショート (突き抜け)、抵抗変動	
	バリアメタル	寸法形状、膜厚	オープン、ショート	
	ボンディング・パッド	寸法形状 配線引き出し形状	ボンディングオープン、配線オープン	
	ボンディング・パッド 配置	ボンディングパッド間隔、外圍器 ボンディング位置相関	ボンディングワイヤのオープン、ショート ボンディングワイヤの流れ (樹脂モールド)	
	Bump	寸法形状	Bumpオープン	
	入出力保護回路	保護抵抗、保護ダイオード/トランジスタ	静電破壊、サージ破壊	
製造プロセス設計	パターン形成工程	レジスト塗布	膜厚、ゴミ、異物付着、レジスト	配線オープン/ショート、抵抗変動、耐圧劣化、リーク電流増、Vth変動
		マスク合わせ	合わせ精度	配線オープン/ショート、抵抗変動、耐圧劣化、リーク電流増、Vth変動
		露光	時間、照度	配線オープン/ショート、抵抗変動、耐圧劣化、リーク電流増、Vth変動
		現像	時間、現像液	配線オープン/ショート、抵抗変動、耐圧劣化、リーク電流増、Vth変動
		エッチング	時間、温度、エッチング液	配線オープン/ショート、抵抗変動、耐圧劣化、リーク電流増、Vth変動
	酸化膜形成 (熱酸化膜法)	温度、時間、反応ガス、膜厚	V _{th} 変動、h _{FE} 変動、リーク電流増、耐圧劣化	
	酸化膜形成 (CVD法)	温度、時間、反応ガス、膜厚	V _{th} 変動、h _{FE} 変動、リーク電流増、耐圧劣化	
	拡散 (熱拡散)	温度、時間、不純物濃度、拡散の深さ	V _{th} 変動、h _{FE} 変動、リーク電流増、耐圧劣化	
	拡散 (イオン注入)	加速電圧、ドーズ量、イオンソース注入深さ	V _{th} 変動、h _{FE} 変動、リーク電流増、耐圧劣化	
	電極形成 (Al/Cu/Si)	蒸着方式、温度、膜厚	オープン、ショート	
	電極形成 (Poly Si、W)	温度、時間、反応ガス、膜厚	オープン、ショート	
	バリアメタル	温度、時間、反応ガス、膜厚	オープン、ショート	
	バックグラidding	研削方式、研削圧力、研削レート、表面状態	Waferクラック、面焼け(変色、抵抗増)、Waferソリ	
ダイシング	ダイシング方式、ウェーハ厚さ	ダイクラック、傷、オープン、ショート		
ダイボン	ダイボン方式、ピックアップ方式、温度、ダイボン材料 (Au-Si、エポキシ、DAF、etc.)	接着剤はみ出し、ダイクラック、傷、オープン、ショート		
ワイヤボン	ワイヤボン方式 (熱圧着、US etc.) ワイヤ材料 (Au、Al、Cu、Ag)、ワイヤ径	オープン、ショート		
封止 (樹脂封止)	成型方法、温度、時間 材料特性 (熱膨脹係数、不純物)	ダイクラック、ボイド オープン、ショート、腐食断線、実装不良		
外部リード成型	リード成型方法、寸法形状	外圍器破損、リード形状、異常、リード破損		
外部リード表面処理	処理方法 (めっき、ディッピング) 保護材料 (金、錫、はんだなど)	発錆、接触不良、はんだ付け不良、腐食断線		
半田ボールマウント	ボール材料、マウント温度、洗浄方法	ボール取れ、ボール変色、基板クラック		

第一章 半導体製品の信頼性

表1-2-1-1 信頼性に影響を与える主な設計要因(2/2)

信頼性に影響を与える要因		関連要素	故障モード
製造プロセス設計	パッケージダイシング	カット方式、カット速度	寸法異常、パッケージクラック、密着性劣化
	レーザマーキング	レーザ方式、レーザ出力、樹脂表面状態	ダイダメージ（レーザ突き抜け）、視認性劣化
	インクマーキング	温度、時間、マーキング剤	マーク消え、転写
外圍器設計(樹脂封止)	外部リード形状寸法	リード断面形状、引っ張り強度、折り曲げ強度	リード破損不良
	封止方法	トランスファモールド、ポッティング、ほか	オープン、ショート（ボンディングワイヤ）
	封止樹脂材料	ベースレジン、硬化剤、耐薬品性、不純物、熱膨脹率、熱伝導性	特性不良、オープン、ショート、（ボンディングワイヤ）、腐食断線
	外圍器形状寸法	チップサイズ相関性、封止部寸法余裕度	外部リード抜け、オープン、ショート、腐食断線
	成型条件	温度、時間、圧力	オープン、ショート（ボンディングワイヤ）、ボンディングワイヤ流れ
	リード材料	電気伝導度、硬度、熱膨脹率、耐蝕性、機械的強度	接触不良、リード破損不良
	めっき材料	めっき組成、温度、電流	半田付け性不良、ウスカ

第一章 半導体製品の信頼性

1-2-2. 製造プロセス要因

半導体を製造する場合、その製造工程の過程で様々な熱処理、化学処理、加工および試験、検査が行われます。これらの過程の中には信頼性に影響を与える多くの要因が含まれています。信頼性を下げる要因は、製品製造上どうしても生じる加工上のバラツキ（寸法、特性値など）、その途中で引き起こされる欠陥、損傷および人が取り扱うことによる取り扱いミス、機械の操作誤りなどによるものが考えられます。

半導体の製造プロセスは非常に複雑でかつ緻密な作業が要求され、また製品特性も非常に微妙なものでありますので、信頼性に影響を与える要因を十分理解し、個々に対し要因発生防止のための十分な対応策が必要になります。

表1-2-2-1 に半導体の製造プロセスに関連する要因を示します。製造工程では、シリコン基板上にトランジスタ、抵抗、コンデンサなどの素子を形成する幾種類もの工程を何回か繰り返し、これらを結合して全体として1つの回路を構成してゆきます。これらの作業はダストを非常に嫌うためクリーンルーム内で行われ、クリーンルーム内のダストレベルは元より、装置・器具などのサブミクロンレベルの微粒子に至るまで管理することが重要であり、信頼性を支配する大きな要素にもなります。

表1-2-2-1 に示す要因の中で、ウェーハ（シリコン基板）にかかわるものは、製品の土台となるものであり、結晶欠陥、比抵抗のバラツキ、表面の汚れ、傷などは直接製品の特性に影響を及ぼします。

ダイシング以降は組立て工程です。ここではダイボンド工程、ワイヤボンド工程と封止工程が特に重要です。ダイボンドやワイヤボンドはチップを固定するとともに、製品として外部に電極を引き出す工程ですが、異なる材料を接合するため温度変化のほか物理的な力（振動、衝撃、定加速度など）によって、ダイクラックやオープン不良となり、製品としては致命不良となります。

第一章 半導体製品の信頼性

樹脂封止の場合は、封止樹脂の含有不純物（ナトリウム、カリウム、塩素など）、吸湿性、熱膨張率、成型収縮率などが重要となり、それぞれ腐食断線、特性不良、ボンディングワイヤの断線、ダイクラックなどの故障要因となります。また、気密封止の場合は、封入ガスの含有水分とその他の不純物および導電性異物の混入が重要な点となります。これらはチップ表面に吸着または付着し、リーク電流増大、動作不良などの障害を引き起こす原因となります。

表1-2-2-1 信頼性に影響を与える主なプロセス要因(1/2)

信頼性に影響を与える工程		素子における関連部位	関連要素	故障モード	
ウェーハ工程	ウェーハ (シリコン基板)	シリコンバルク	比抵抗分布、ばらつき、 結晶欠陥、表面汚れ、 異常クラック、 傷、ソリ、歪み	不安定動作、 ショート、オープン	
	酸化膜形成	フィールド酸化膜、 ゲート酸化膜、 層間絶縁膜、表面保護膜	ピンホール、クラック、 厚さ不均一、汚染、 ステップカバレッジ不良	表面反転、チャンネルリーク、 V_{th} 変動、耐圧劣化、 h_{FE} 変動、 雑音、不安定動作	
	パターン形成工程	レジスト塗布	トランジスタ、ダイオード 抵抗、内部配線、寸法 形状、	膜厚不良、不均一不良、 ゴミ、異物付着、 レジスト残り	ピンホール、 リーク電流増大、 特性変動
		マスク合わせ	コンタクト	合わせズレ、 ゴミ、異物付着、傷	
		露光		露光過不足	
		現像		現像過不足	
		エッチング		エッチング過不足、 エッチング温度、 洗浄不足	
	拡散 (熱拡散)	トランジスタ、ダイオード、 拡散抵抗、アイソレーション、 コンタクト	拡散異常 (横方向、深さ)、 不純物析出、結晶欠陥、 不純物濃度不良	耐圧劣化、 オープン、ショート、 不安定動作	
	拡散 (イオン打ち込み)	トランジスタ、拡散抵抗、 コンタクト	酸化膜、シリコンバルク損傷、 ドーズ量不良、打ち込み 深さ不良	耐圧劣化、オープン、 ショート、不安定動作	
	電極形成 (金属)	トランジスタ電極、 内部配線、コンタクト、 MOSゲート電極	キズ、ボイド、段切れ、密着不良、厚さ不良、溶断、突き抜け、汚染、 エレクトロマイグレーション	オープン、ショート、 配線抵抗増大、 腐食段線	
電極形成 (ポリシリコン)	MOSゲート電極、抵抗、 内部配線、コンタクト	キズ、段切れ、密着不良、 厚さ不良、溶断	オープン、ショート、 配線抵抗増大		

第一章 半導体製品の信頼性

表1-2-2-1 信頼性に影響を与える主なプロセス要因(2/2)

信頼性に影響を与える工程		素子における関連部位	関連要素	故障モード
組立工程	ダイシング/裏面研磨	チップ周辺	キズ、クラック、汚染	リーク電流増大、 耐圧劣化、腐食断線
	ダイボンド	チップ接着剤	チップ接着不良、接着剤はみ出し、 這い出し、接着剤クズ、 デガス(樹脂ボンド剤)	不安定動作、 リーク電流増大、 ショート、間欠不良
	ワイヤボンド	ボンディングワイヤ接続部	ボンディング圧力過不足、 ボンディング部下地不良、 ボンディングループ形状、 ワイヤ傷、汚染、ワイヤ付着	オープン、ショート、 (外囲器、基板) ワイヤ切れ、ボンディング ハガレ
	封止(樹脂封止)	外囲器	成型不良(ボンド、クラック)、 ボンディングワイヤ流れ、 リードフレーム密着不良、 成型収縮歪、吸湿	ボンディングワイヤオープン、 ショート、 腐食断線(チップ、メタル配線) ダイクラック、特性不良
	外部 リード成型	リード端子	形状不良、破損、 端子強度不良	オープン、 接触不良
	外部 リード表面処理	リード端子	酸化、発錆、 表面処理液残渣(洗浄不足)	オープン、接触不良、 端子間リーク
	BGA	半田ボール	形状不良、破損、ボール脱落	オープン、接触不良
	マーキング	製品表示	誤表示、表示不良	誤使用による破壊

第一章 半導体製品の信頼性

1-2-3. 使用環境要因

先にも述べたように、製品の信頼性要因を考える場合、製品に内在する故障要因のほかに、それらを加速して故障に至らしめる外部ストレス、すなわち環境要因を考慮する必要があります。信頼性に影響を与える使用環境要因を表1-2-3-1に示します。

これらの要因は、個々の要因が独立に作用する場合がありますが、通常は複雑に絡み合って作用します。例えば腐食断線は温度と湿度がからみ合って発生します。

ストレスは、自然環境に起因するものと人為的に発生するものに大別されます。

自然環境に起因するものとしては、温度、湿度、気圧、塩気、落雷による過電圧サージおよび特殊な用途での原子炉や宇宙環境における放射線などが考えられます。これらの中で、温度と湿度が最も重要な要因となります。

一般に、温度が高くなると化学反応速度が増大し物質の変化を促進させるところから、故障においても故障要因となる故障メカニズムが温度によって加速されることになり、重要視されます。実使用においては、この環境温度のほかに電力消費による自己発熱とそれによる温度上昇も考慮する必要があります。

温度変化は、熱膨張率の異なる物質の接合部に歪応力を発生させ、これが繰り返し加わることにより疲労を起こさせ、気密封止部の封止不良、ダイボンドの接合不良、ボンディングワイヤオープン不良の原因となります。また、断線で使用した場合には、使用機器や素子自身の自己発熱により、素子に加わる温度変化はその分加算され、加速した形で影響を及ぼします。

湿度は、主として物の表面に吸着して表面の電気伝導度を高め、リーク電流の増大を促進し、製品において特性不良、動作不良の要因として働くとともに、化学的および電気化学的反応を促進して金属の腐食を発生させます。

第一章 半導体製品の信頼性

特に樹脂封止製品においては、水分を透過するという根本的な問題を内在していますが、これら樹脂材料に対する改良が大幅に進められており、実際の使用環境と比べて気密封止と遜色のない状態まで改善されてきています。

気圧については、山岳地方、航空機搭載機器において影響が現れます。これらの用途では低気圧状態での電極端子間のコロナ放電の誘発や外囲器の熱放散割合が低下し、素子の自己発熱によるチップ温度の上昇を促進する影響が出てきます。

塩気は海岸地方および船舶、海上機器に大いに影響を及ぼします。それは素子の表面に付着し、電極端子間の絶縁性低下および金属部の腐食による損傷を促進させます。

落雷による影響は、屋外使用機器において受けやすく、交通信号機器などがその一例です。落雷による過電圧サージに対する耐量の改善とともに機器における特別な保護処置が必要です。

そのほかの自然環境要因としては、高集積度メモリなどに影響が出てくる外囲器使用材料中に含まれる放射線同位元素の α 線によるソフトエラー、および特殊な用途で原子炉や宇宙環境における放射線による損傷、誤動作などがあります。

人為的なものとしては、輸送中および車両搭載機器などで遭遇する振動(表1-2-3-2)、工業ロボット使用、取り扱い中の落下などによる衝撃(表1-2-3-3)、プリント基板はんだ付け時における加熱、スイッチ開閉などによる過電圧サージ、モータ機器周辺やリレーなどの接触不良から生じるノイズ、低湿度時の取り扱い時に生じる静電気傷害、送信機や発信機の周辺における強電磁波による誤動作およびはんだ付け後のプリント基板洗浄における超音波振動などがあります。

使用環境要因において、自然環境および人為的に発生する物理的要因のほかに、半導体製品を機器、システムに使用する際に生じる要因もあります。これは、製品仕様の最大定格に対し、無理な使い方をした場合に生じます。

第一章 半導体製品の信頼性

例えば、定格電圧よりも高い電圧で使用した場合の過電圧破壊、低い電圧で使用した場合の動作不良、定格以上の負荷で使用した場合の破壊不良、および規定外の動作タイミングの使用による誤動作、破壊不良などがあります。

表1-2-3-1 信頼性に影響を与える使用環境ストレス要因

環境ストレス要因		遭遇する場所	故障モード
温度	高温	熱帯、砂漠地方、宇宙環境、自動車、その他特殊環境	動作不安定
	低温	寒冷地方、高高度、宇宙環境、航空機、その他特殊環境	動作不安定
温度変化		断続使用	ダイクラック、ダイボンド劣化、オープン、ショート、動作不安定
湿度	高湿度	熱帯地方、トンネル内、自動車、その他特殊環境	発錆、接触不良、腐食断線、オープン、ショート
	低湿度	砂漠、低湿度気候	静電気障害
気圧	低気圧	高高度、山岳地方、航空機	コロナ放電、低熱放散、動作不良
	高真空	宇宙環境	コロナ放電、低熱放散、動作不良
塩気		海岸地方、海上、船舶、海上設備	発錆、接触不良、リード破損
振動		製品輸送中、車載機器、工作機械、航空機器	ボンディングオープン (気密封止素子)、リード破損 (基板実装)、外圍器破損
衝撃・落下		製品輸送中、車載機器、工作機械、航空機器	外圍器破損、リード変形
加速度		航空機器、ロケット、その他特殊使用機器	ボンディングオープン (気密封止素子)、外圍器破損
加熱		組立工程 (はんだ付け工程など)	オープン、ショート、外圍器形状異常
過電圧・サージ		スイッチ、リレー開閉、容量負荷、モータ	オープン、ショート、
ノイズ		モータ、接触不良	誤動作、オープン、ショート
静電気		低湿度時の取り扱い、高電界発生装置周辺、輸送時	オープン、ショート
強電磁波		送信機、発信機周辺	誤動作
超音波		はんだ付け後の基板洗浄	ボンディングオープン (気密封止素子)、マーク消え
放射線		原子力関連設備、宇宙環境(人工衛星)、X線検査装置	誤動作、破壊不良、メモリソフトウェア
誤使用	過電圧	使用電源電圧不整合	破壊不良、耐圧劣化、オープン、ショート
	過負荷	駆動容量不整合	破壊不良、オープン、ショート
	その他	動作タイミング不整合など	誤動作、ラッチアップ

第一章 半導体製品の信頼性

表1-2-3-2 主な振動環境

種類		内容
陸上輸送	道路輸送	29.4 m/s ² まで1~3 Hz、9.81 m/s ² で15~40 Hz
	鉄道輸送	14.7 m/s ² 、2Hz~100 Hzで振幅±0.05 mm
海上輸送		周波数1~50 Hz、振幅2.5~0.075 mm
航空輸送		周波数3~500 Hz、振幅3~0.025 mm

表1-2-3-3 主な衝撃環境

種類		内容
陸上輸送	道路輸送	ピーク58.9 m/s ² 、衝撃幅5~40 mm/s
	鉄道輸送	貨車入替時196 m/s ² 、速度変化5.4 m/s
海上輸送		-
航空輸送		発着時衝撃~36.3 m/s ² まで

1-2-4. 信頼性要因解析技法

信頼性要因の解析は、一般的には製品の開発設計、プロセス設計において非常に有効な方法であります。信頼性要因解析技法には種々な手法がありますが、その主なものとして

デザインレビュー (DR: Design Review)

FTA (Fault Tree Analysis)

FMEA (Failure Mode and Effects Analysis)

タグチメソッドなどがあります。

デザインレビューは、半導体製品の場合それぞれの設計において、“信頼性に影響を与える主な設計要因”に示すような項目に不整合がないかをチェックして誤りを修正し、より完全なものへと改善していくことです。したがって、通常はこれらを行いやすくするため、また事前に設計に織り込むために、設計基準を定め、その基準に従い設計が行われ、デザインレビュー時その設計が設計基準どおり行われているかどうかチェックし、設計基準から外れている場合は、実験などを行い、その設計の適合性を確認して設計に織り込むとともに設計基準に補足します。

第一章 半導体製品の信頼性

FTA (故障の木解析) は、ある故障に対して、その部分に対する回路構成、パターン設計、製造プロセス、外圍器および使用方法など、それぞれの要因を解明していくことに用いられます。

FMEA (故障モードおよびその影響度解析) は、設計、製造プロセス、使用方法などについて、すべての起こり得る故障に対して処置がなされていることを確かめるために実施される解析方法です。

その方法は、設計、製造プロセス、外圍器および使用方法などをそれぞれさらに小さな項目に分解し、その機能を明確に定義し、それぞれについて起こり得る故障モードを列記し、その故障により製品に与える影響度と原因を検討し、さらにそれらに重要度のウェイトを付けて、対策処置の優先度を明確にしていくものです。

表1-2-4-1に、製造プロセスにおけるFMEAの例を示します。評価点における発生率は故障原因の発生頻度を、影響度はその故障が製品、装置、システムに与える影響度を、検出度はその故障が発見される度合をそれぞれ示し、この場合10点法でおのこの評価点について評価しています。そしてこれらを掛け合わせることによって重要度を算定しています。重要度は数値が大きいほど重要であることを意味しています。最後にそれぞれの項目に対して処置内容を記し、対策を行っていきます。

タグチメソッドは、バラツキを最小限に抑えロバスト設計するために有効な方法です。従来の基本設計は目標出力・特性に合わせ込むために、ある定数を経験と理論で求めていましたが、品質工学のパラメータ設計では、バラツキに対する安定度の尺度としてSN比 (平均値とバラツキの比) を導入し、SN比の高い水準の組み合わせで設計することにより、設計のロバスト化を図ります。

表1-2-4-2に、製造プロセスにおけるモールド樹脂封止条件に対するタグチメソッドの因子とSN比要因効果図の例を示します。L18直交配列表を用い、望小特性による実験の結果を示しています。

第一章 半導体製品の信頼性

表 1-2-4-1 工程FMEA例 (樹脂封止)

工程名 (工程機能)	故障モード	故障の影響	故障の原因	評価点				処置内容
				発生率	影響度	検出度	重要度	
(1-10) メタライゼーション	厚さ不良、配線の欠陥、断線不良	エレクトロマイグレーション、回路オープン	作業者のミス、ゴミ/異物の付着、装置の調整不備	2	9	2	36	作業手順書の改善/整備、クリーンルームのダスト管理、工程におけるSEM検査
(1-11) パシベーション	パシベーションの欠除、膜厚不良	リーク電流の増大、動作不良	ゴミ/異物の付着、作業者のミス	2	2	4	16	クリーンルームのダスト管理、作業手順書の改善/整備
(1-12) 目視検査	引っかき傷、ダイクラック、汚れ/シミ、レジスト残り	回路オープン、ジャンクションリーク、電流増大	ウェーハ取り扱いミス、ウェーハ洗浄の誤り	2	2	2	8	作業手順書の改善/整備
2. 組み立て工程								
(2-1) ダイシング	ダイクラック	ジャンクションリーク電流、増大、動作不良	装置の調整不備、作業者のミス	1	3	2	6	装置管理作業者への是正処置、作業手順書の改善/整備
(2-2) ダイボンド	ダイクラック、ダイ浮き上り	オープン、ジャンクションリーク電流増大、動作不良	作業者のミス、温度の低下	1	9	2	18	装置管理作業者への是正処置、作業手順書の改善/整備、目視検査
(2-3) ワイヤボンド	ワイヤオープン、ワイヤショート、ボンディング位置不良	オープン、ショート	接着強度不良、作業者のミス、装置の調整不備、ワイヤループ形状不良	2	10	1	20	装置管理作業者への是正処置、作業手順書の改善/整備、目視検査
(2-4) 封止 (樹脂)	ワイヤオープン、ワイヤショート、外圍器クラック、腐食	オープン、ショート、外観不良	装置の調整不備、キュア不足	2	10	2	40	装置管理作業者への是正処置、作業手順書の改善/整備、目視検査
(2-5) リード表面処理 (めっき)	めっき厚不良、汚れ	はんだ付け性不良、接触不良	作業者のミス、装置の調整不備、洗浄不足	1	2	3	6	作業手順書の改善/整備、装置管理作業者への是正処置
(2-6) リード成型	形状異常、リード破損	プリント基板挿入不良、動作不良	作業者のミス、装置の調整不備	1	2	1	2	作業手順書の整備、装置管理作業者への是正処置
(2-7) マーキング	誤表示、表示不鮮明	使用破壊	作業者のミス、キュア不足	1	1	1	1	作業手順書の改善/整備

第一章 半導体製品の信頼性

表1-2-4-2 タグチメソッド例 (因子)

	因子	単位	パラメータ		
			第1水準	第2水準	第3水準
A	モールド樹脂 (型名)	-	A1	A2	-
B	樹脂のプリヒート時間	s	B1	B2	B3
C	モールド注入圧力	Pa	C1	C2	C3
D	金型クランプ圧力	t	D1	D2	D3
E	モールド金型温度	°C	E1	E2	E3
F	ボンディングからモールドまでの時間	H	F1	F2	F3
G	モールド常温戻し時間	H	G1	G2	G3
H	モールドアフターキュア時間	H	H1	H2	H3

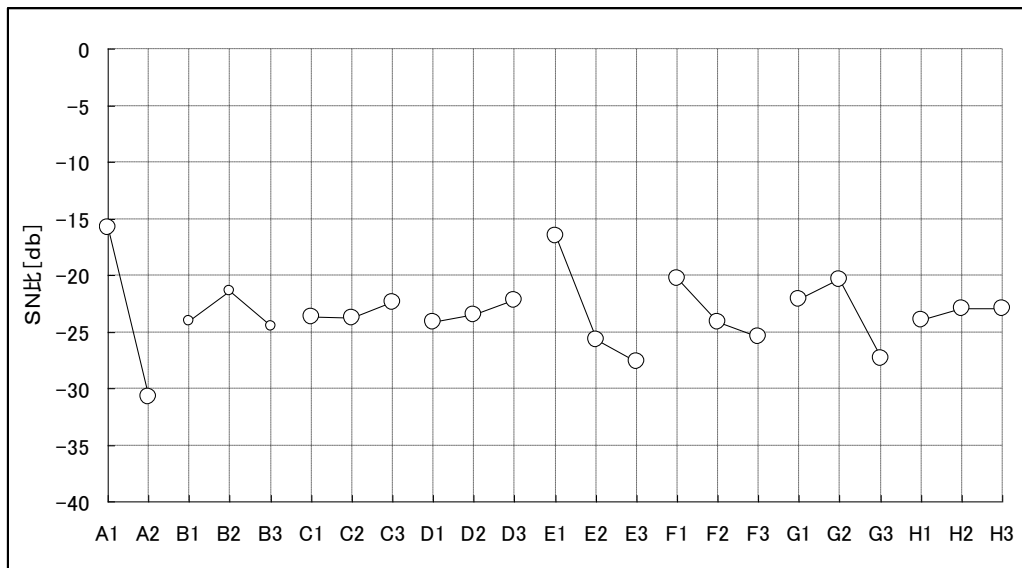


図1-2-4-1. タグチメソッド例 (SN比要因効果図)

第二章 故障メカニズム

この章では、半導体製品における種々の故障について、故障メカニズムを図2-1 に示したMOS集積回路の概略図における各故障部位に着目して説明するとともに、組立技術に関連する故障メカニズムについて図2-2 を基に説明します。

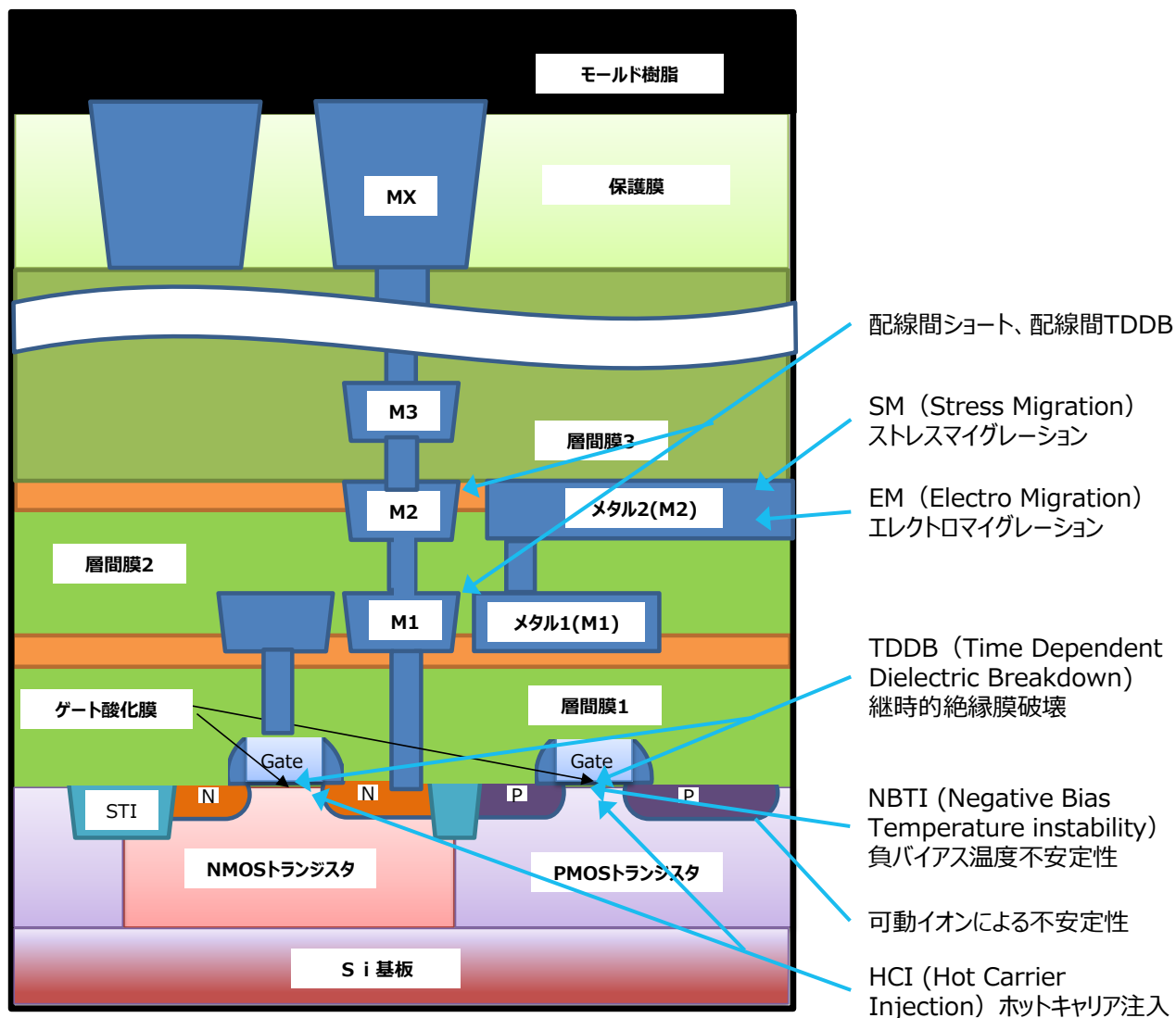


図2-1 MOS製品のロジック部の断面構造例

第二章 故障メカニズム

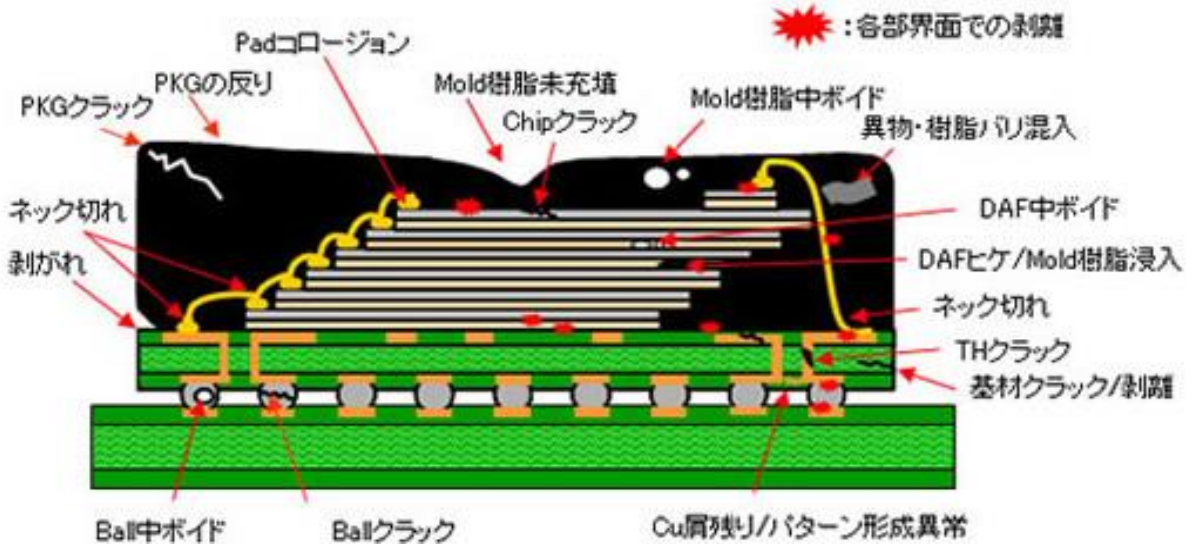


図2-2 半導体製品のモールドパッケージの断面構造例

第二章 故障メカニズム

半導体製品は様々な信頼性故障モードを持っており、それらを設計・開発段階で対策することが必要です。

ここでは、種々の故障について、故障メカニズムも交えて説明します。

2-1. Waferプロセス

表2-1にWaferプロセスの主な信頼性故障一覧を示します。

表 2-1 Waferプロセスの主な信頼性故障

プロセス	信頼性故障モード	故障メカニズム
FEOL (Front End Of Line)	TDDDB (Time Dependent Dielectric Breakdown) 継時的絶縁膜破壊	絶縁破壊電圧以下においても継時劣化により微小リークや絶縁破壊に至る。ゲート絶縁膜、基板との界面状態、絶縁膜厚等が影響。
	HCI (Hot Carrier Injection) ホットキャリア注入	高電界により加速されたキャリアがホットキャリアとなり、絶縁膜中に捕獲されることにより、トランジスタの特性劣化を起こす。
	可動イオンによる不安定性	層間膜やPassivation膜からの可動イオンが、ゲート絶縁膜や界面に移動し、特性変動を起こす。
	NBTI (Negative Bias Temperature instability) 負バイアス温度不安定性	PMOSTランジスタに負バイアスが印加されると絶縁膜・基板界面の水素が乖離され、絶縁膜中に固定電荷を生成し特性変動を起こす。
BEOL (Back End Of Line)	EM (Electro Migration) エレクトロマイグレーション	金属配線に流れる電子と金属原子が物理的に衝突することにより金属原子が移動し、ボイドを発生し断線に至る。
	SM (Stress Migration) ストレスマイグレーション	電流印加がなくとも、温度ストレスだけで金属原子が移動する現象。配線にかかる応力により、金属原子が移動。抵抗増加や断線に至る。
	配線間ショート、配線間TDDDB	層間絶縁膜の破壊、微小な異物により配線間での通電が起きる。継時劣化により微小リークや絶縁破壊に至る。

第二章 故障メカニズム

2-1-1. TDDB (Time Dependent Dielectric Breakdown)

継時的絶縁膜破壊

MOS製品のゲート絶縁膜は、数nm~100 nm程度の薄い膜であるため、耐圧より高い電圧を印加すると破壊します。例えば突発的な静電気、サージにより破壊されやすいものです。また、実使用状態においても、TDDB (Time Dependent Dielectric Breakdown) と呼ばれる時間に依存した絶縁膜の破壊が起こる可能性があります。¹⁾

これらの破壊は、ゲート絶縁膜の欠陥に基づく絶縁耐圧の分布状態および潜在的欠陥密度に大きく左右されます。絶縁耐圧分布および潜在的欠陥密度を決定するパラメータは非常に複雑であり、ゲート電極材料、膜厚、基板の欠陥、絶縁膜生成方法、クリーニング、汚染などの影響を受けます。

TDDBは電界強度の増加により劣化の進行速度は著しく加速されますが、その加速性モデルはいくつか提案されており定説としては確立されていません。一般的には以下の4つのモデルが提案されています。²⁾³⁾⁴⁾⁵⁾⁶⁾

$$\text{TTF} = A \exp\left(\frac{E_a}{k} \cdot \frac{1}{T}\right) * \exp(-\beta E) \cdots \cdots \text{E-model}$$

$$\text{TTF} = A \exp\left(\frac{E_a}{k} \cdot \frac{1}{T}\right) * \exp(G/E) \cdots \cdots 1/E\text{-model}$$

$$\text{TTF} = A \exp\left(\frac{E_a}{k} \cdot \frac{1}{T}\right) * \exp(-\gamma V_G) \cdots \cdots V_G\text{-model}$$

$$\text{TTF} = A \exp\left(\frac{E_a}{k} \cdot \frac{1}{T}\right) * V_G^{-n} \cdots \cdots \text{Power-Law model}$$

(TTF: Time To Failure, E_a : Activation energy, k : Boltzmann constant, $\beta \cdot G \cdot \gamma \cdot n$: Acceleration factor, A : 係数, E : 電界, V_G : 電圧)

第二章 故障メカニズム

また、素子の微細化や三次元構造化にともない、配線間スペースが狭くなってきていることから、配線間にlowk絶縁膜TDDDBが、重要な信頼性評価項目の一つとなっています。

配線間TDDDBは、ゲート絶縁膜TDDDBで記述した、E-model, 1/E-modelおよび下記√E -modelが提案されています。7)

$$TTF = A \exp\left(\frac{E_a}{k} \cdot \frac{1}{T}\right) * \exp(\alpha\sqrt{E}) \cdots \sqrt{E} \text{-model}$$

(TTF: Time To Failure, E_a : Activation energy, k: Boltzmann constant, α : Acceleration factor, A:係数, E:電界)

図 2-1-1-1に、当社で取得したゲート絶縁膜TDDDB寿命試験の例を示します。

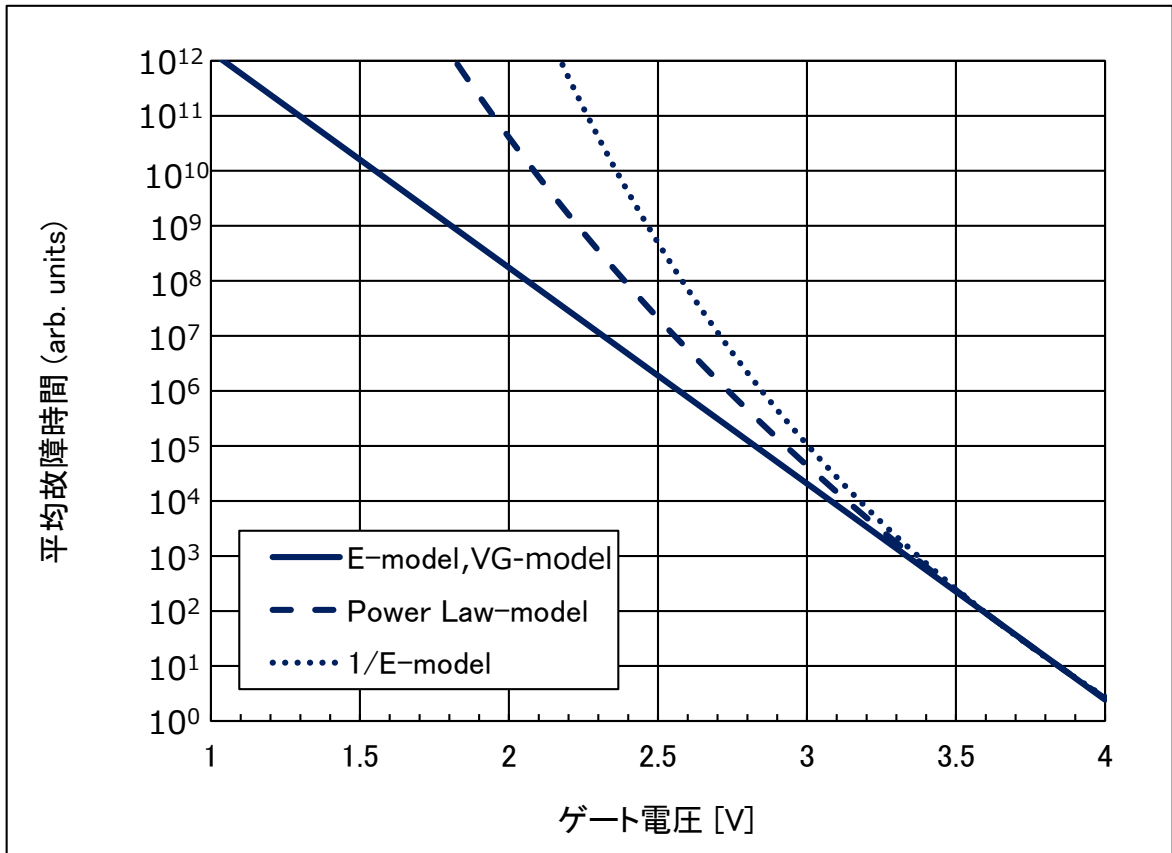


図 2-1-1-1 TDDB電圧加速寿命試験結果例

第二章 故障メカニズム

2-1-2. ストレス誘起リーク

酸化膜のリーク伝導機構はFowler-Nordheimトンネリング電流と完全に絶縁性が失われたハードブレイクダウンと呼ばれるモードの2種類に大別されていました。しかし、近年ゲート酸化膜の薄膜化により、5 nm以下の薄膜ではダイレクトトンネリング電流やSILC (Stress Induced Leakage Current)、ソフトブレイクダウンと呼ばれる伝導機構が観測されるようになってきました。

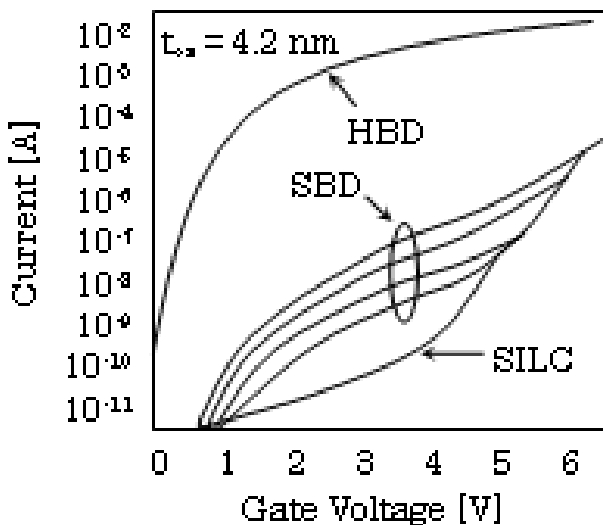


図 2-1-3-1 SILC,ソフトブレイクダウン,ハードブレイクダウンのI-V特性¹⁰⁾

SILCは磨耗故障期に至る過程の初期段階から徐々にリーク電流の増加として観測されます。ソフトブレイクダウンはハードブレイクダウンとSILCの中間領域的な電流増加を示しますが、酸化膜が完全にショートした状態ではなく、ある程度の絶縁性を有した状態を示します。この様なストレスリークはフラッシュメモリの信頼性などに影響していると考えられています。

第二章 故障メカニズム

2-1-3.HCI (Hot Carrier Injection) ホットキャリア注入⁸⁾

図2-1-2-1に示すように微細化されたNチャネルMOSトランジスタのドレインに電圧を印加すると、ドレイン近傍に高電界領域が形成されます。この領域にキャリアが流れ込むとキャリアは電界により高いエネルギーを得てホットキャリアになります。これらのあるものはフォノン散乱し、あるものはインパクトイオン化によりエネルギーが失われます。

ホットキャリアの中でSi-SiO₂の電位障壁を越えられるだけのエネルギーを持ったものが、ゲート酸化膜に注入され、MOSトランジスタのしきい値 (V_{th}) や相互コンダクタンス (g_m) の変動を引き起こす原因となり、電圧により加速されます。

ゲート酸化膜へのキャリア注入・捕獲メカニズムには、MOSトランジスタのバイアス条件により、チャネルホットエレクトロン、ドレインアバランシェホットキャリア注入、2次ホットエレクトロン、基板ホットエレクトロンの4種類が知られています。⁹⁾

ホットキャリアの影響を避けるために、回路内部の動作電圧の低レベル化、注入されたホットキャリアが捕獲されにくいゲート酸化膜の形成などの対策がなされています。特にゲート長が2 μm 以下の半導体製品ではトランジスタ構造に種々の工夫が行われています。その代表的なものには図2-1-2-2に示すようなLDD (Lightly Doped Drain) 構造のトランジスタがあります。¹¹⁾

この構造では、ドレイン近傍での電界集中が小さくなりますのでホットキャリアの発生を少なくすることが可能となります。

また、バイポーラトランジスタにおいてもホットキャリアによる素子特性劣化が起こります。これは、エミッタ・ベース間の逆バイアス印加時に hFE が劣化する現象で古くから知られていましたが、最近のシャロージャンクション化が進んだデバイスではエミッタ・ベース間の逆方向リーク電流が増加する傾向にあり、ホットキャリア効果による素子特性劣化が起こりやすくなってきています。

第二章 故障メカニズム

図2-1-2-3はエミッタ・ベース間の逆バイアスによる高周波特性 f_t の劣化の例です。これは逆バイアス時のホットキャリア注入によりSi-SiO₂界面の再結合中心が増大し、ベース電流が増加するためです。

なお、半導体製品の故障モードの多くは温度が高いほど劣化が加速されます。これに対してドレインアバランシエホットキャリア注入は温度が低いほど劣化が大きくなる特徴があります。

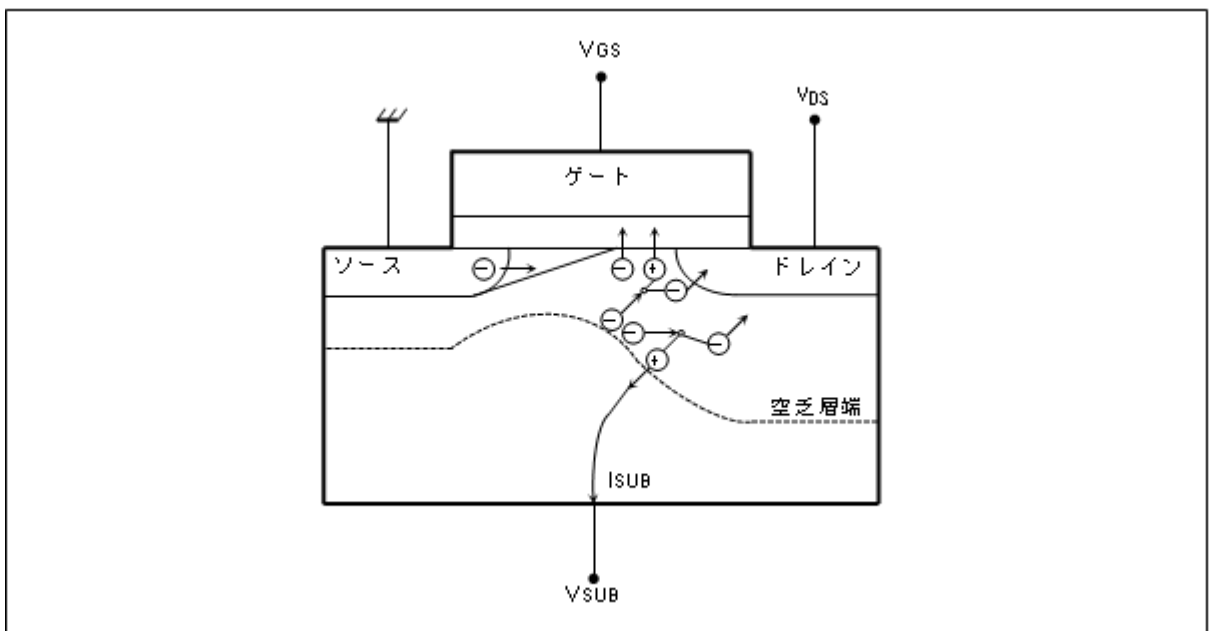


図 2-1-2-1 ホットキャリア注入モデル

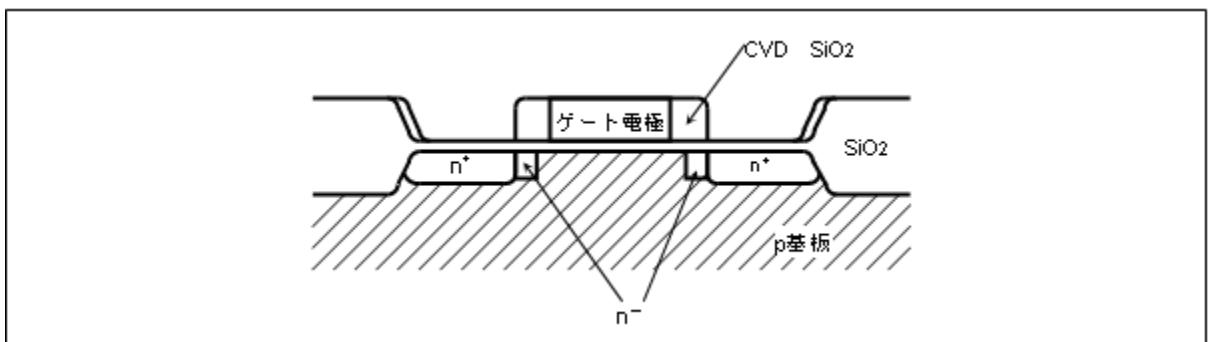


図 2-1-2-2 LDD構造トランジスタ

第二章 故障メカニズム

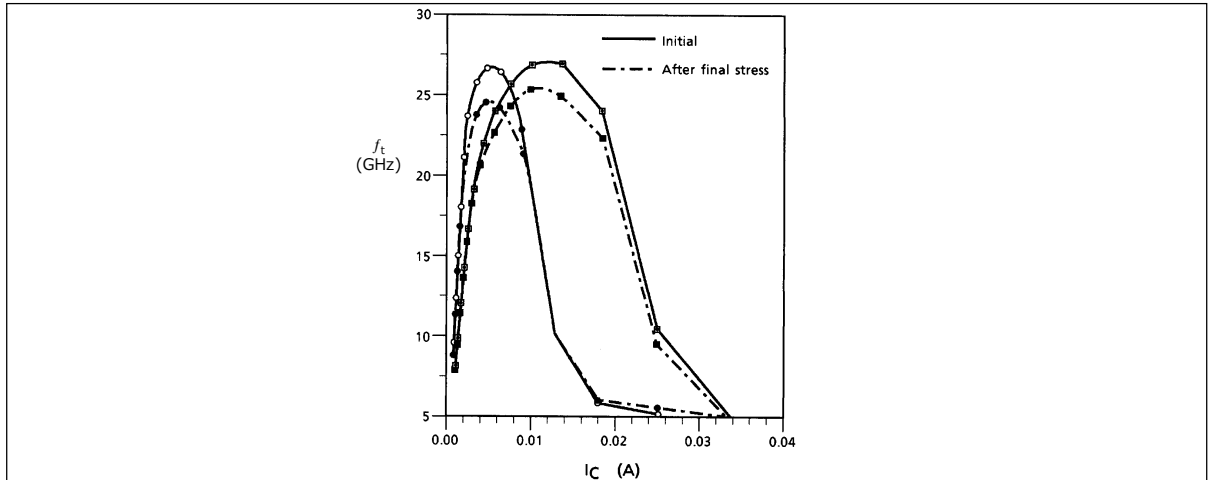


図 2-1-2-3 エミッタ・ベース間の逆バイアスによる高周波特性(f_t)の劣化

第二章 故障メカニズム

2-1-4. NBTI (Negative Bias Temperature instability)

負バイアス温度不安定性

NBTIは、PMOSTランジスタに負バイアスが印加されると、特性変動を起こす現象です。¹²⁾

図 2-1-4-1に示すように、Si基板とゲート絶縁膜との界面、絶縁膜中には分類すると下記のような電子トラップが存在します。

①Na⁺やK⁺などの不純物準位（可動イオン）：Q_m

②絶縁膜中の正孔(固定電荷)：Q_f

③絶縁膜中のトラップ電荷：Q_{ot}

④界面トラップ電化（界面順位）：Q_{it}

⑤電離放射線照射によるトラップチャージの発生があります。

①の可動イオンによる不安定性は、ゲート酸化膜自身の汚染よりも、むしろ以降の工程で生ずるパッシベーション膜の汚染あるいは外部汚染などに起因することが多いと考えられます。過去では、この可動イオンによる不純物準位の介在による特性変動が見られましたが、不純物のゲッタリング技術が進むことにより、発生することはなくなりました。

②、③の電荷は表面ポテンシャルによる状態の変化がなく、これらの電荷が酸化膜中で発生すると、V_{th}変動の原因になってしまいます。ゲート酸化膜の界面付近に発生するものを固定電荷、膜中に発生するものを酸化膜のトラップ電荷と呼びます。

④の界面準位は表面ポテンシャルにより状態が変化し、速い準位と呼ばれています。この準位が酸化膜界面で発生するとgm劣化が起きてしまいます。

②、③、④については新プロセスの導入などにより、ふたたびクローズアップされてきています。

第二章 故障メカニズム

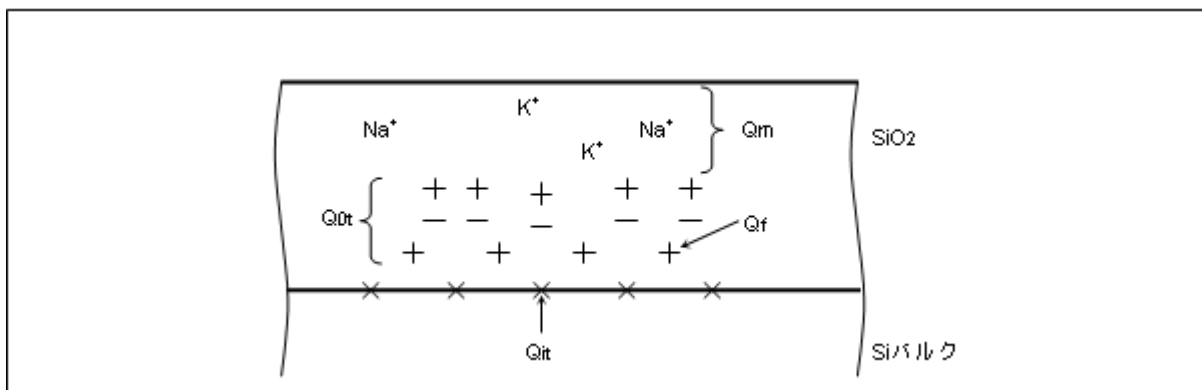
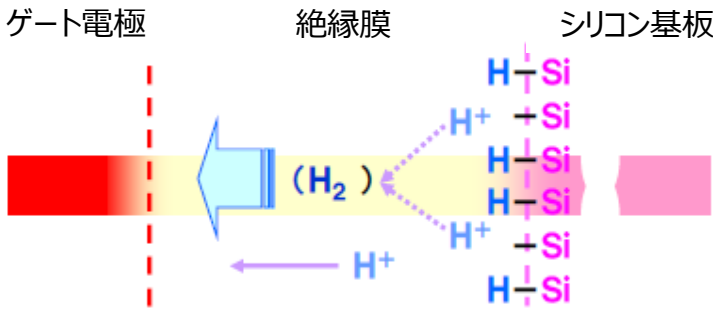
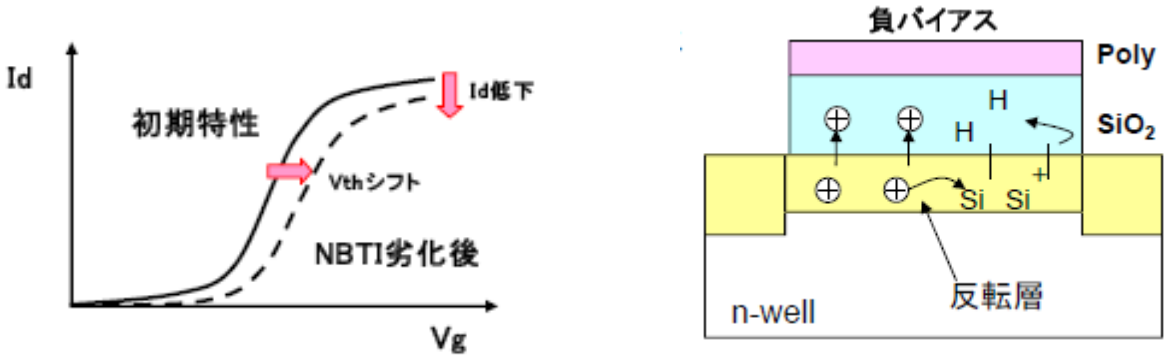


図 2-1-4-1 酸化膜及び界面の電荷¹³⁾

界面準位の発生は、ゲート酸化膜 – Si界面のSiとSi-Hの結合が、ホールによりH原子を解離され、結果としてHイオンが酸化膜中に拡散していく事により生じる正イオン伝導モデル（次頁右上図）や、トンネル電子の電離衝突により発生するモデルが提案されています。

第二章 故障メカニズム

実際には、モデルは一様には決まらず、プロセス条件により変わってしまう事もあり、水分、水素、重水素窒素、フッ素等のいろいろな影響の報告があります。¹⁴⁾¹⁵⁾¹⁶⁾

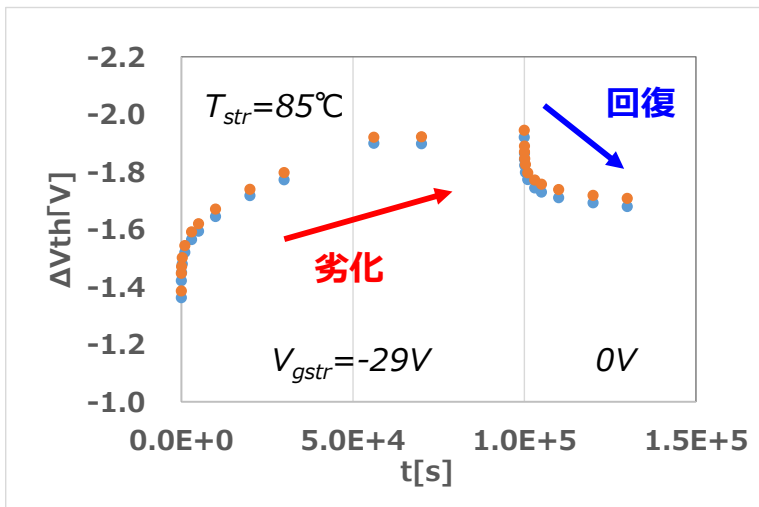


Reaction - Diffusion Model

1. チャンネル反転層に正孔が蓄積
2. Si-Hが破壊されHがリリース
3. 界面順位形成
4. NBTI (Vthシフト、Id劣化)

ストレス印加時のH拡散により
SiO2/Si界面のトラップが生成

また、ストレス除去後の回復性（リカバリー効果）についても多数報告されています。DC試験結果と共にAC効果を確認することも重要です。



第二章 故障メカニズム

2-1-5. EM (Electro Migration) エレクトロマイグレーション

2-1-5-1. Al配線のエレクトロマイグレーション

半導体製品の金属配線に大電流を流した場合、その金属配線が断線し素子が不良となってしまうことは、よく知られている現象です。このような現象はエレクトロマイグレーションと呼ばれ、VLSIのような微細化、大規模化に伴い重要な故障メカニズムの一つです。

薄膜におけるエレクトロマイグレーションのメカニズムは次のように説明されています。薄膜内に電流が流れると、電流は金属原子にElectron wind forceを与えます。その結果、金属原子は電子の流れる方向 (カソードからアノード方向) に拡散していき、カソード側にポイド、アノード側にヒロックやウイスカを形成するというものです。

薄膜における断線故障は、配線内の質量移動に不均一が生じた場合に起こります。この質量移動の不均一は温度、電流密度、あるいは、グレインの粒界トリプルポイントのような金属イオンの移動度の不均一が原因で起こります。

例えば、

- ① グレインサイズに不均一がある場合、¹⁷⁾
- ② デバイス内部の発熱による温度勾配の発生、¹⁸⁾
- ③ 配線がほかの物質と接している場合なども原因となる。¹⁹⁾

薄膜におけるエレクトロマイグレーション寿命は、一般に平均寿命MTF (メジアン故障時間) で表現されており、次のような関係が成り立っています。²⁰⁾

$$MTF = AJ^{-n} \exp\left(\frac{E_a}{kT}\right)$$

ここで、MTFは平均寿命、Jは電流密度、nは電流密度に関する定数、 E_a は活性化エネルギー、Tは絶対温度、kはボルツマン定数、Aは配線の材質、構造、寸法などに関係する定数です。

第二章 故障メカニズム

この式から電流密度あるいは温度が低いほど平均寿命は長くなることが分かります。また、寿命分布はバラツキの小さい対数正規分布に従います。

Al系配線に関する活性化エネルギーを求めた例を図2-1-5-1に示します。活性化エネルギーには配線幅依存性があり、配線幅が太くなると0.6に近づきます。これはAlの拡散がバルク拡散から粒界拡散へと移行しているためと考えられます

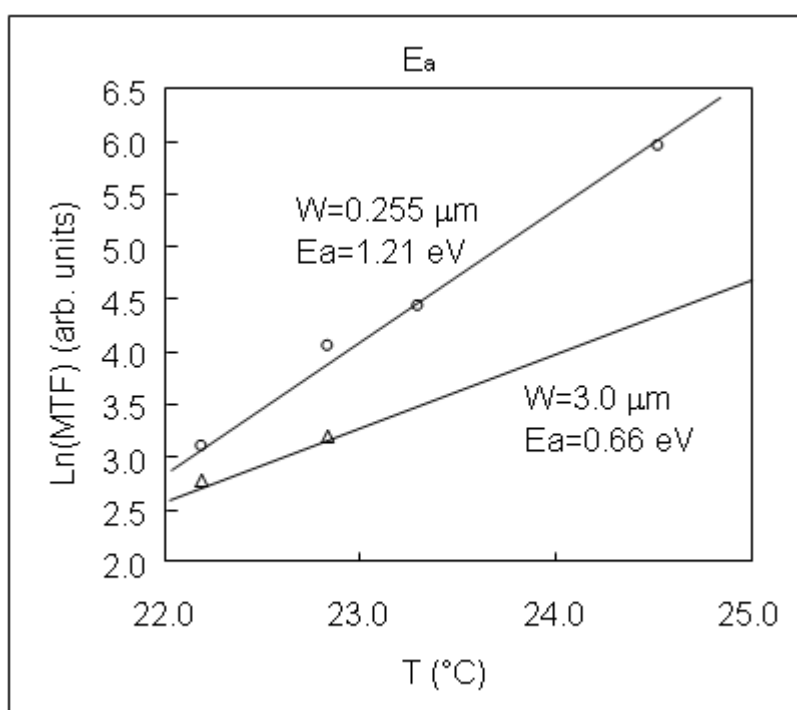
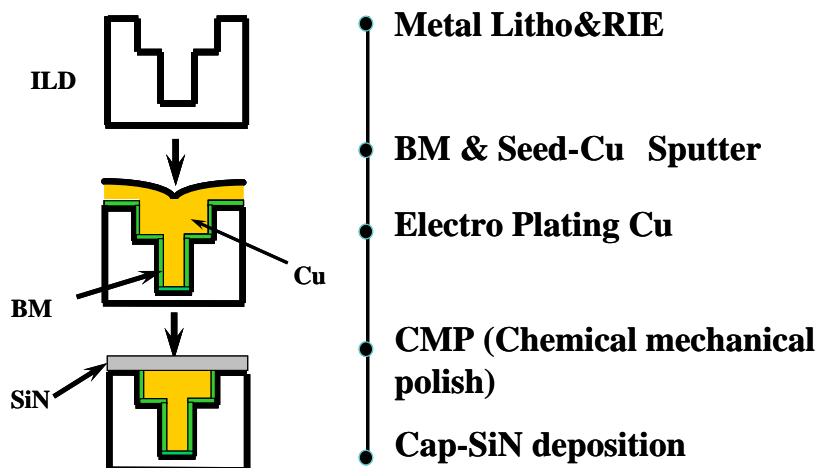


図 2-1-5-1 メタルのエレクトロマイグレーション寿命 (温度依存性)

第二章 故障メカニズム

2-1-5-2. Cu配線のエレクトロマイグレーション

シリコンプロセスの微細化に伴い、配線抵抗や配線間容量の増大で性能劣化が問題になります。この問題を解決するために、Cu配線プロセスを適用しています。Cu配線の形成プロセスに、図2-1-5-2のフローに示すダマシンというプロセスを採用しています。



*RIE: Reactive Ion Etching、BM: Barrier Metal

図 2-1-5-2 Cu配線の形成フロー (ダマシンプロセスフロー)

この様に配線材料あるいは配線形成プロセスの点で、従来のAl系配線と異なるCu配線でも、エレクトロマイグレーション故障は発生し得る故障メカニズムです。平均寿命の関係式もAl配線と同様に表すことができます。

しかし、融点はAl (660°C) よりも Cu (1083°C) が高く、エレクトロマイグレーションに対する耐性はAl配線よりもCu配線の方が高いと考えられています。この配線材質の違いによるエレクトロマイグレーション耐性の差を同一デザインルール品にて比較確認した結果の例を図2-1-5-3に示します。Al配線に対しCu配線の方がエレクトロマイグレーション故障の平均寿命 (MTF) の点で約一桁も長寿命になっている事がわかります。

第二章 故障メカニズム

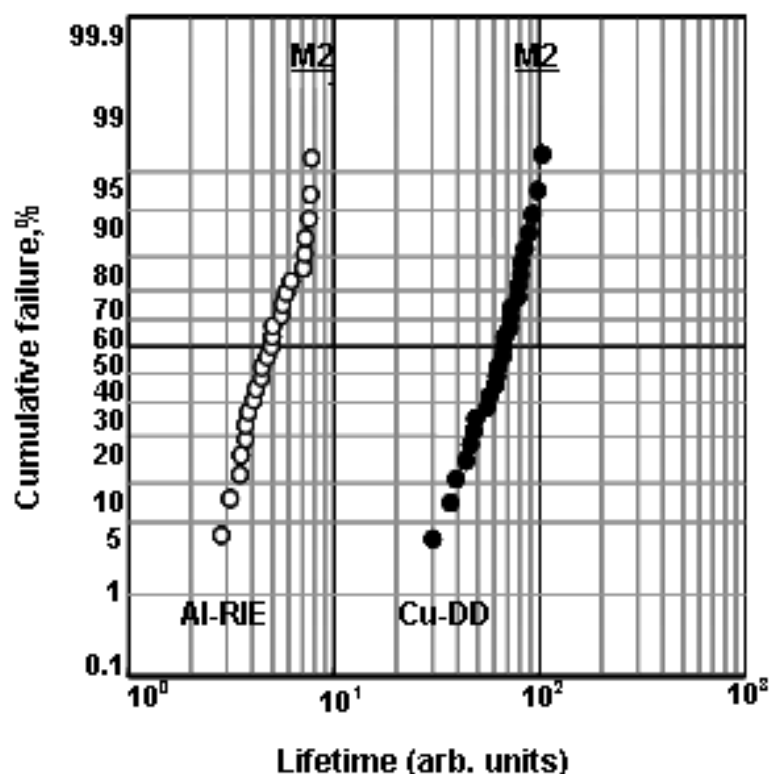


図 2-1-5-3 Al配線とCu配線のエレクトロマイグレーション耐性の違い

Cu配線におけるエレクトロマイグレーションの特徴は支配的な拡散パスがAl配線同様に粒界拡散とされる報告や界面拡散の方が支配的とされる報告が存在し明確な故障メカニズムの解明に至っていない部分があります。Cu配線は容易に酸化される性質をもつため、プロセスの適正化および製造工程における条件の適正化を行わないと著しく信頼性が劣化する事例も確認されています。

第二章 故障メカニズム

2-1-6. SM (Stress Migration) ストレスマイグレーション²¹⁾²²⁾²³⁾

ストレスマイグレーションは高温下に放置するだけで、金属配線の断線を引き起こしてしまう故障メカニズムです。²⁴⁾²⁵⁾一般に、LSIの金属配線は、配線形成後に層間絶縁膜等形成の高温の熱処理を受けます。この高温時には金属配線に対する応力の発生はありませんが、冷却後には金属配線と層間絶縁膜あるいはパッシベーション膜との熱膨張係数の差が原因となり、金属内に応力が発生します。この残留応力とその後に加えられる熱で金属配線内にボイドの生成および拡散が引き起こされ、最終的に金属配線の断線やVia (多層金属配線の層間接続用のスルーホール) のオープン不良が引き起こされます。この現象は、内部応力 (= ストレス) 起因の不良である事から、ストレスマイグレーションと呼ばれています。

このストレスマイグレーション対策としてAl配線中へのCuの添加、Al配線下のバリアメタルの使用やパッシベーション膜の低応力化が行われています。

ストレスマイグレーション故障の温度加速性は、ボイドの拡散とストレス緩和との複合したメカニズムのため一様ではありませんが、125℃以下での見掛けの活性化エネルギーはAl-Si、Al-Cuでは0.7eV、Al-Si-Cuでは0.9eVが得られています。

また、Cu配線を使用したプロセスにおいては、CuのグレインのサイズがAlよりも小さくなる傾向にあるため、結果としてAl配線プロセスよりもストレスマイグレーションが発生しやすい傾向にあります。このストレスマイグレーション不良に対しては、Al配線プロセスと同様に、バリアメタルで抑制させることは可能となります。ただし、Viaに対してはバリアメタルが構造的に設置できないため、このViaで発生するストレスマイグレーションが問題視されています。

第二章 故障メカニズム

一般的にViaは構造的に応力が集中する特異点となりやすいため、Via周辺にボイドが成長しやすくなり、報告事例も多くなっています²⁶⁾²⁷⁾²⁸⁾。図2-1-6-1にボイドの観察事例を示します。

このCuプロセスでストレスマイグレーション故障発生、特にボイド発生および成長の抑制の為に、上記Al配線プロセスで説明した低応力化プロセス、Cu配線と膨張係数の近い層間絶縁膜の適用あるいは、Ti、Ta等の高融点金属のバリアメタルの適用が有効であることは確認されています。

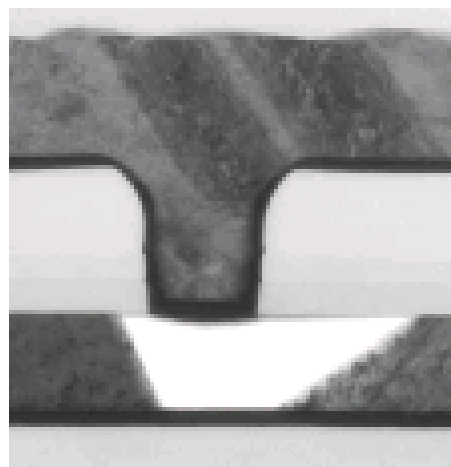


図 2-1-6-1 CuプロセスのVia下部に発生したボイドの観察像

また、配線設計での対策も有効となっています。メタル配線の応力が集中する箇所に対してその応力を分散させることで、ボイドの発生を抑制することが可能となります。例えば、ボイドの供給元である配線のボリューム（配線幅や膜厚）を必要以上に大きくしない、或いは大面積メタルとの接続は複数のViaにする事により、Viaに集中する応力を緩和し、ストレスマイグレーション不良の発生を抑制することが可能となります。²⁹⁾

このストレスマイグレーションの進行速度は下記の様に応力成分と拡散成分の積で表すことができます。

$$R = C \cdot (T_0 - T)^N \cdot \exp\left(-\frac{E_a}{kT}\right)$$

ここで、Rはストレスマイグレーション進行速度、Cは係数、 T_0 は配線生成温度又は層間膜生成温度、Tは試験温度、Nは加速係数、 E_a は活性化エネルギー、kはボルツマン定数をそれぞれ示しています。

第二章 故障メカニズム

応力成分,拡散成分ともに試験温度に依存し、応力成分は試験温度がメタル生成温度に比べ低温になるほど大きくなり、拡散成分は高温になるほど大きくなる事を示しています。進行速度はこれらの積で表されるため、結果としてある温度でピークの値を持つ事になります (図2-1-6-2)。

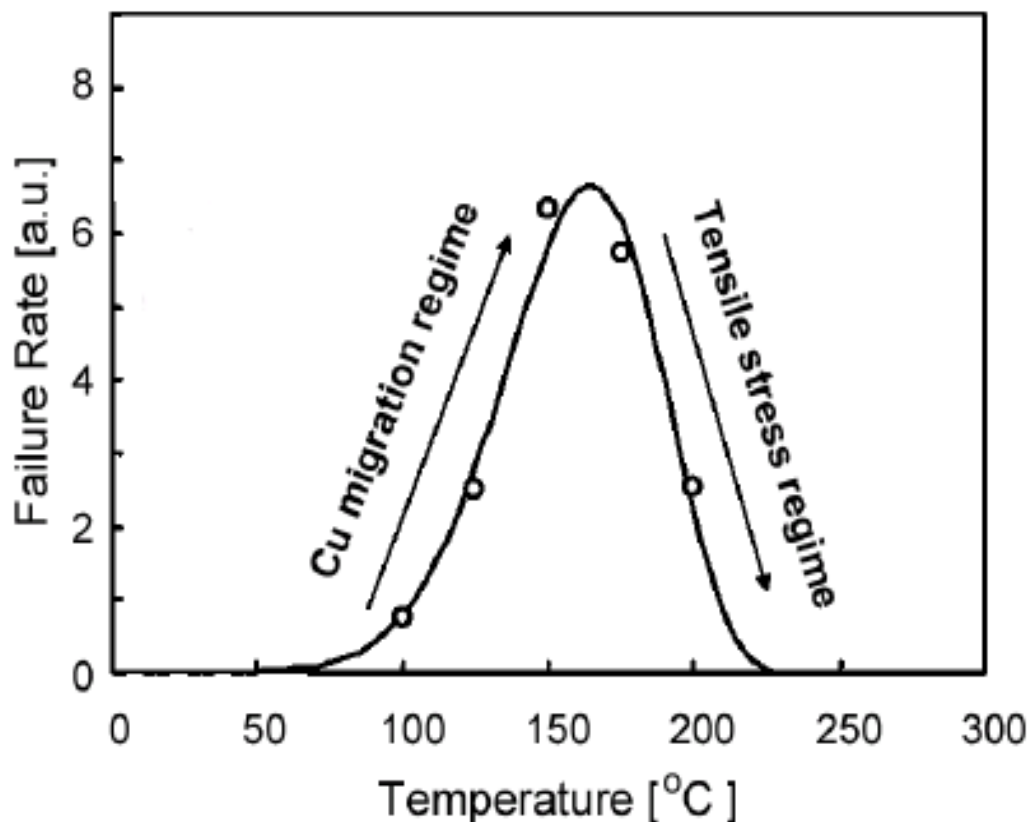


図 2-1-6-2 SM不良率の温度依存性

第二章 故障メカニズム

2-1-7. 不揮発性メモリの故障モード³⁰⁾³¹⁾

不揮発性メモリは電源を切っても情報が失われないメモリであり、ここでは代表的な不揮発性メモリである浮遊ゲート型のフラッシュメモリにおける故障モードについて紹介します。

浮遊ゲート型のフラッシュメモリでは、MOSトランジスタ構造のゲート電極とシリコンチャンネルの間に電氣的に絶縁された浮遊ゲートを置き、浮遊ゲートに電荷（電子またはホール）を蓄積することによりデータを記憶します。不揮発性メモリの“1”と“0”の状態は、浮遊ゲートに蓄積された電荷量によって決まり、浮遊ゲートを囲んでいる絶縁膜に欠陥がなければ、蓄積された電荷は散逸しません。データの電氣的書き換えは、浮遊ゲートとシリコンチャンネルを絶縁するトンネル酸化膜に高電界を印可したときに発生するFowler-Nordheim（FN）トンネル現象により実現します。

2-1-7-1. 繰り返し書き換え故障(Endurance)

フラッシュメモリセルへの書き込み、消去動作を多数回繰り返すことにより、“1”と“0”の読み出し電圧差がしだいに減少し、動作不良となるものです。トラップ起因と界面準位起因があり、前者はトンネル酸化膜にトラップが形成され、そのトラップに電子が捕獲されることによって、書き換え速度が劣化し不良となります。後者は、書き換えにより界面準位密度が増加し読み出し電流が減少するため、ウインドウ・クロージングとして観測されます。

2-1-7-2. ディスターブ故障(Disturb)

ディスターブ故障とはメモリセルの書き換え、読み出し動作時に各ノードに印加される電圧によって蓄積電荷が変動する現象のことです。

第二章 故障メカニズム

原理的には選択、非選択にかかわらず起こり得ますが、代表的なものは読み出し時のリード・ディスタ urb です。

これらディスタ urb 故障は繰り返し書き換えをおこなうと顕著にあらわれ、その原因は、繰り返し書き換え動作を多数回おこなうことによってトンネル酸化膜に中性トラップ又は正電荷トラップが形成され、それを介して電子が伝導するためと考えられています。

2-1-7-3. データリテンション (データ保持) 故障

フラッシュメモリの浮遊ゲートに蓄積された電荷がなんらかの原因で増加あるいは減少してデータ読み出し不良と検知されるまでの時間をリテンション時間といいます。

なお、実際にフラッシュメモリを搭載するシステムにおいては、主に単ビット不良を防止するため、リダンダンシーやエラー補正回路を導入することが行われています。

第二章 故障メカニズム

2-1-8. その他(アロイスパイク, イオン汚染による配線腐食, 分極, 寄生MOS, ピンホール, クラック)

2-1-8-1. アロイスパイク

半導体製品の配線材料としては、Alが主流となっています。それはAlがほかの金属材料に比べて電気抵抗が低く、シリコン酸化膜などの絶縁物との密着性が優れているためです。しかしながら高温処理により、シリコン基板中のシリコンをAl膜中に取り込むため、コンタクト部で接合の破壊を引き起こす場合があります。この故障はアロイスパイクと呼ばれ、特に接合の浅いシャロージャンクションでは耐圧劣化やショート不良が起きます。

対策には、Al中にシリコンを添加する方法やAlとシリコンの間にバリアメタルを形成する方法が行われています。

2-1-8-2. イオン汚染

工程中で、パッシベーションの中あるいは界面にとり込まれるNa⁺イオンなどの汚染や外部からのイオン汚染は、素子の信頼性に大きく影響します。³²⁾

プロセス中にとり込まれるNa⁺は、リン・ゲッタリングで不活性にされますが、印加電界でパッシベーション酸化膜中を移動し、フィールド領域、ゲート領域あるいはPN接合の近傍に集まり、寄生MOS、V_{th}変化、耐圧劣化などの故障の原因となる可能性があります。

耐圧劣化は、前述した結晶欠陥に基づく耐圧劣化と同様、無バイアスでベーキングすることにより回復するのが特徴です。イオン汚染による劣化を加速する要因としては、印加電界、温度のほかに、湿度があります。

イオン汚染に対してはPSGなどのブロッキング効果のある保護膜を使用しています。また、外部からの汚染に対して、より効果のあるシリコンナイトライド膜などをトップパッシベーションとして使用しています。

第二章 故障メカニズム

2-1-8-3. 分極

前述しましたように、PSGはイオンのゲタリング効果、ブロッキング効果がある反面、リン含有量が増大すると分極が起こり、種々の不安定性や劣化が現れることがあります。³³⁾

2-1-8-4. 寄生MOS

図2-1-8-1に示すように、SiO₂表面が導電性になることにより、横方向に電極のポテンシャルが広がり、見かけ上、電極が隣のPN接合近くまで増大したようになるため、フィールド領域の反転により寄生MOSが発生する現象があります。

この故障メカニズムの対策は、設計、プロセスの面から施されていますが、外部使用環境における湿度やイオン汚染の程度によっては、極めてまれに発生する可能性があります。

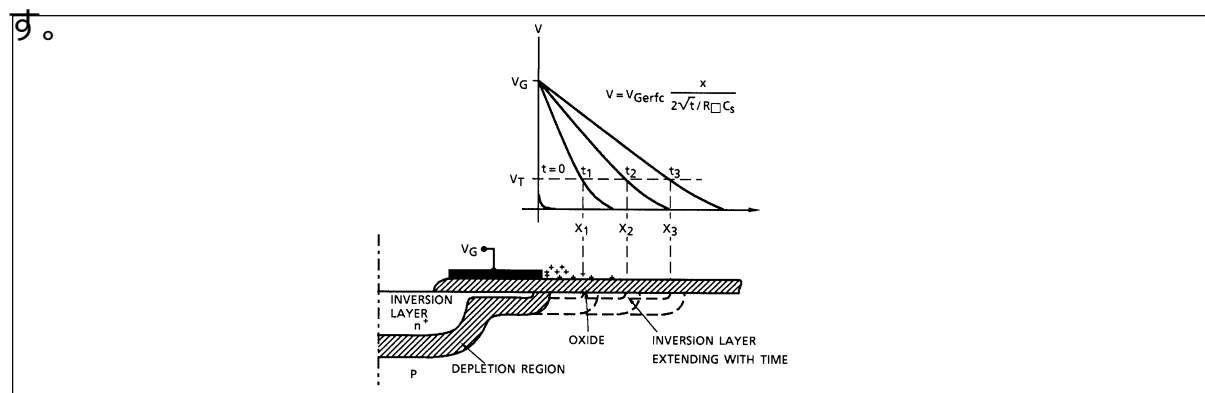


図 2-1-8-1 横方向チャージ広がりモデル³⁴⁾

2-1-8-5. ピンホール、クラック

パッシベーションにピンホールやクラックなどの欠陥があると多層配線の層間ショートになったり、トップパッシベーションでは、その欠陥を通して外部から湿気やNa⁺イオンなどが侵入し、これまで述べたような素子動作の不安定、劣化、あるいはAl配線の腐食の原因となる可能性があります。クラックの発生は、プロセスにおける熱ストレスによって発生する場合とモールド歪などから誘起される場合があります。特に、モールド歪の影響は、集積回路の微細化、大規模化に伴い無視できない問題となってきています。

第二章 故障メカニズム

2-2. アセンブリプロセス

表2-2にアセンブリプロセスの主な信頼性故障一覧を示します。

表 2-2 パッケージアセンブリプロセスの主な信頼性故障

プロセス要素	信頼性故障モード	故障メカニズム
Wire Bonding不良	Bonding強度劣化、抵抗増大	Wire-電極の合金（パープルブレーグ）により、クラック状の巣が形成され、強度劣化に至る。
	Wire断線、Wire接触	樹脂封止製品にて、熱サイクルストレス印加によるWire疲労断線、樹脂封止時のWire変形による接触。
配線腐食	Al配線腐食による抵抗増大、断線	外部からの水分侵入と、樹脂中の不純物イオンにより、配線を腐食。
樹脂封止による不良	特性変動、Alスライド、パッシベーションクラック	樹脂応力による特性変動、Alスライド、パッシベーションクラック
	パッシベーションクラック	樹脂中フィラが温度サイクル等の機械ストレスによりDie表面にクラックを発生
実装ストレス不良	パッケージクラック、パッケージ変形による実装故障、耐湿性劣化	実装時の熱により、吸湿された樹脂の内部水蒸気圧が上昇し、樹脂とDie/基板/Frameとの密着性劣化、パッケージ膨れ・クラックを発生
Ag Migration	リード間ショート	メッキ中AgのMigrationによるリード間ショート
ウイスカ	リード間ショート	めっき中Snのウイスカ成長によるリード間ショート

2-2-1. Wire Bonding故障

半導体チップの電極部とリードを接続する方法には熱圧着ボンディング法と超音波ボンディング法があります。

以下にボンディングおよびボンディングワイヤに関する故障メカニズムについて述べます。

(1) Au-Al合金化

AuワイヤをAlに、あるいはAlワイヤをAu膜に接合する場合や接合部が高温にさらされると、しばしばそこに紫色合金(AuAl₂)が見いだされます。

この合金はパープルブレーグと呼ばれています。またパープルブレーグよりもAuがより多く存在している下で発生しやすいAu₂Alは、電気抵抗も高く機械的に脆く、ホワイトブレーグと呼ばれています。

第二章 故障メカニズム

AuとAlは相互拡散係数が異なるため、また生成化合物の体積変化によって空孔が蓄積しAlの多い側に巣（クラック状）を形成するため、ボンディング強度の劣化や抵抗増大が起きます。ボンディング劣化が起きますと、振動やモールド樹脂とワイヤの膨張係数の違いで生ずる応力によってボールが剥がれたり、高温動作時に一時的に剥がれて、オープン状態となる場合があります。しかし、この劣化は、製造工程の熱履歴の管理により、実際にはほとんど問題にならないと考えられます。

(2)機械的ストレス

樹脂封止製品では、熱サイクルストレスが加わりますと、樹脂とワイヤとの膨張係数の差によってワイヤに機械的応力が加わり、ワイヤの疲労で断線する場合があります。また、モールド時のワイヤ変形でワイヤ同士、あるいはチップのエッジと接触し一時的にショート状態になることもありますが、これらは工程の最適化、自動化により対策が行われています。

その他、気密封止製品では、衝撃や振動などで内部にループ状に形成されたワイヤが断線する場合があります。特に半導体製品を超音波洗浄する場合は、この点に注意すべきです。また、ボンディング時の機械的ダメージで2次的に製品不良を誘発することもあります。製造工程の最適化と自動化によって対策が施されています。

第二章 故障メカニズム

2-2-2. 配線腐食

Al配線の腐食は、樹脂封止素子で信頼性上の重要な問題です。まれに気密封止素子で発生した例が報告されています。³⁵⁾ここでは、樹脂封止素子のAl腐食メカニズムについて簡単に説明します。

(1) Al腐食の一般モデル

図2-2-2-1に、樹脂封止素子の概略図を示します。一般にプラスチック材料は本質的に透湿性と吸湿性を有しています。透湿性とは水分の通過しやすさ、吸湿性とは湿気を吸収し内部にとり込む性質と考えます。

樹脂は、その製造工程で種々のイオン性不純物を取り込んでいるため、樹脂が吸湿するとイオン性不純物が溶出して素子の表面に達します。一方、素子は動作機能を果たすためバイアスが印加されていますので、印加バイアスの大小、極性に従って、正負イオンが水分とともにパッシベーションの微小欠陥を通過してAl配線の表面に達し、Alの電気化学的な分解反応を促進します。

この電気化学反応の進行により、Al配線の抵抗増大あるいは断線などの致命不良をもたらします。これがAl配線腐食による故障の一般的メカニズムになります。

(2) 水分の侵入経路

Al配線腐食の第1要因は、外部から水分が侵入することです。水分とは大気中に含まれている水蒸気で、侵入経路は図2-2-2-1に示すように、リードフレームと樹脂の界面のすき間からの侵入と、樹脂の透湿性、吸湿性に基づくバルクからの侵入があると考えられます。

どちらが支配的であるかは、使用環境条件、パッケージの種類によって異なるため一概に論ずることはできません。一般的には、感湿素子を樹脂封止して調べた実験から、バルクを通しての拡散モデルで近似できると考えられています。³⁶⁾

第二章 故障メカニズム

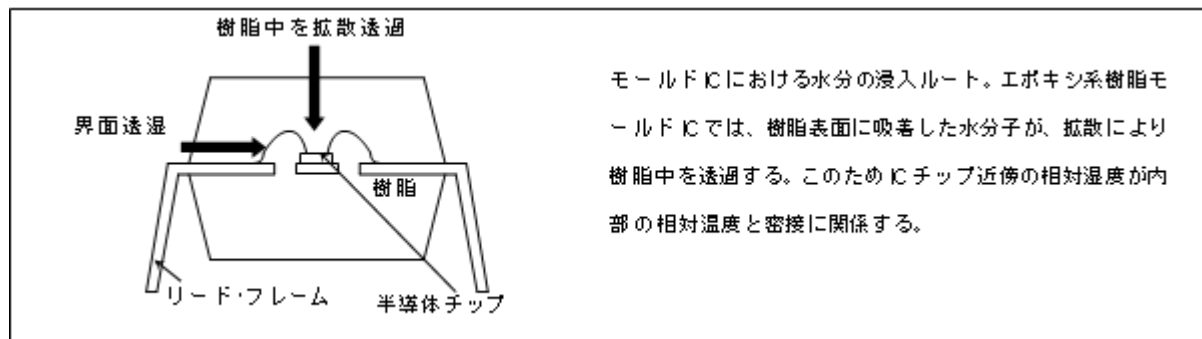


図 2-2-2-1 樹脂封止素子の概略図

(3) 印加バイアス依存性

80°C、90% RHの加速条件で、PSGパッシベーション製品のバイアス電圧を5 V、10 V、15 V、20 V、25 Vと変えて耐湿性試験を行った結果、50%寿命時間の印加電圧依存性は、図2-2-2-2に示すような結果が得られました。バイアス電圧の増大により寿命が減少することがわかります。

電気化学反応であるAl腐食は、バイアスの極性によって腐食モードが異なります。これは、極性により故障メカニズムが異なるということを意味します。ここで、極性は、相対的に高電位にバイアスされた配線をアノード (Anode)、低くバイアスされた方をカソード (Cathode) といいます。ここでは、アノード側、カソード側で起こったAl腐食をそれぞれAnodic Corrosion、Cathodic Corrosionと仮称します。

一般に用いられるAl配線、Al-Si配線では、Cathodic Corrosionが主であるといわれていますが、パッシベーションにクラック、ピンホールがあると不純物イオン (Cl⁻ など) により、Anodic Corrosionが起こる場合があります。

第二章 故障メカニズム

通常Cathodic Corrosionは、Al膜の結晶粒界で起こり、光学顕微鏡で観察すると黒く見えるのが特徴です。また、Anodic Corrosionの場合には、腐食に伴いAlが著しく体積膨張し、パッシベーションにクラックが生じ、隆起していることがあります。また、場合によっては、光学顕微鏡で観察するとAlが欠落したように見えることがありますが、EPMA (Electron Probe Micro Analyzer)、AES (Auger Electron Spectroscopy) による分析をしますと、透明な Al_2O_3 として残っていることがあります。

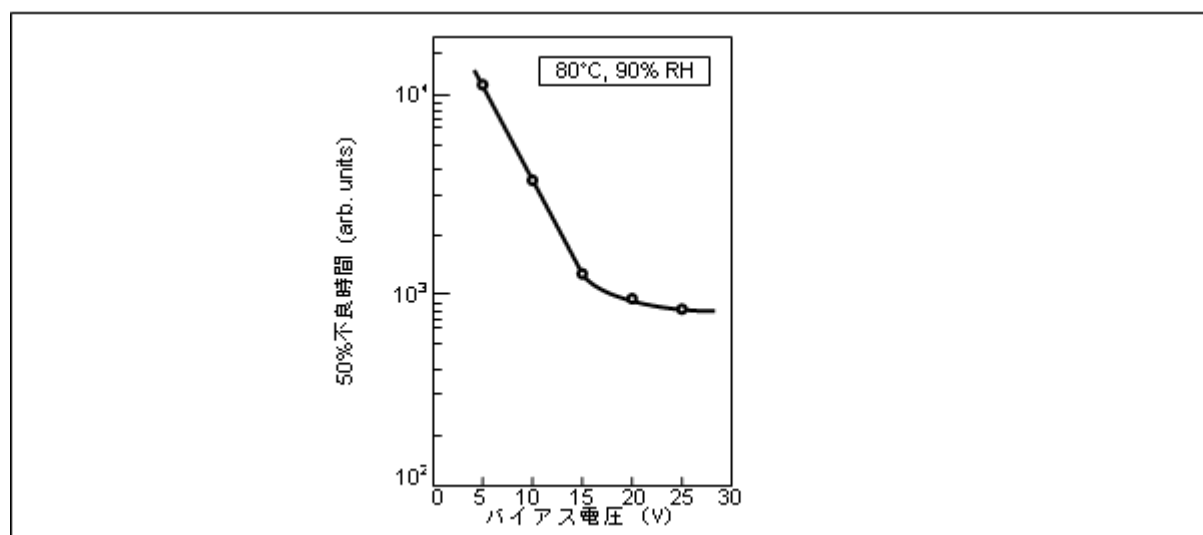


図 2-2-2-2 耐湿性加速試験における電圧依存度

第二章 故障メカニズム

(4) PSGパッシベーションのリン濃度依存性

外部イオンに対するゲッタリング効果を上げるため、トップパッシベーションにリンを含んだPSG膜を用いられることは前に述べました。しかし、リンの濃度が高過ぎますと、致命的なAl配線腐食が発生する可能性が著しく増大します。このリンが関係した腐食はAl、Al-Si配線ではCathodic Corrosionであり、次のように説明されています。

まず、PSGが吸湿すると、PSG中のP₂O₅が溶出してリン酸を形成し、H⁺イオン濃度が増加します。その結果、Cathode側のAl配線の表面にH⁺イオンが引き寄せられ、以下の反応により腐食が進行すると考えられます。

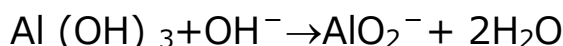
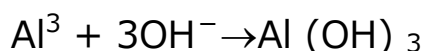
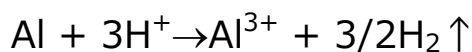


図2-2-2-3は、TEG (Test Element Group) とLSIのPSGのリン濃度をパラメータにしたときのCathodic Corrosion寿命の相対値を示したものです。リン濃度変化に対する寿命の変化は、実に敏感であることが分かります。

しかしながら、最近では耐湿性向上のため、トップパッシベーションに水分を透しにくい膜 (SiN等) の採用で、このモードの故障はなくなっています。

第二章 故障メカニズム

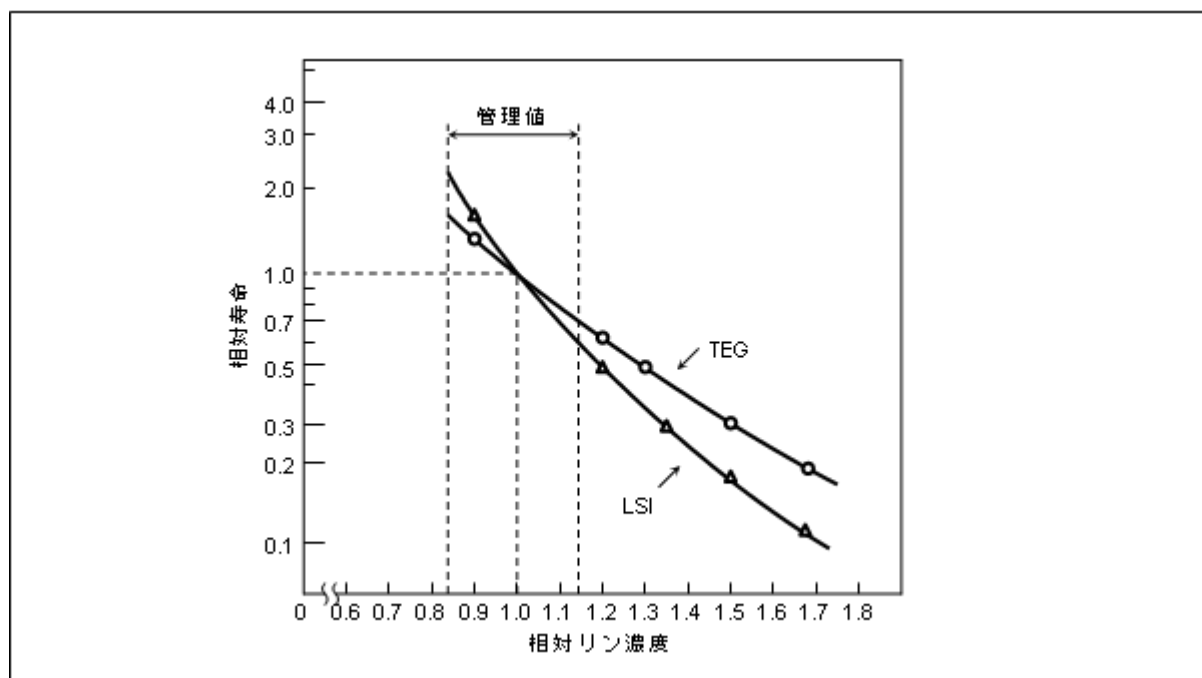


図 2-2-2-3 Al配線腐食による相対寿命のリン濃度依存性 (管理実施例)

(5) その他の突発事項

Al腐食を誘発する要因は、前述 ((1)~(4)) の他に、工程でのハンドリングによるパッシベーションの傷、汚染、気密封止素子では気密もれなど、製造工程に起因したものと、お客様でのハンドリング時の汚染、はんだ付けの際のフラックス (Clを含む) の侵入、あるいは水が露滴した場合などに汚染物質が樹脂とリードの界面を通して侵入し、内部配線を腐食させた例などがまれにあります。

第二章 故障メカニズム

2-2-3. 樹脂封止による故障

(1) 樹脂中のイオン性不純物

樹脂封止素子では、樹脂材料中のイオン性不純物によって製品動作の不安定や劣化あるいは致命的なAlの腐食が起こることは前述しました。したがって、耐湿性を向上させるためには、イオン性不純物の少ない樹脂で封止する必要があります。樹脂のイオン性不純物は熱水抽出法によって評価されています。イオン性不純物としては、Cl⁻イオンが特に耐湿性に影響すると考えられています。

以下に、当社で行った樹脂中のイオン性物質による素子の不安定性とAl腐食との相関性に関する実験結果を示します。¹⁴⁾樹脂中のイオン性不純物による素子劣化の代表的メカニズムとして、イオンの蓄積で寄生MOSが形成されることは前述しました。この現象を利用して、図2-2-3-1に示すようなイオンに敏感なTEGを樹脂封止後、高温でドレインにバイアスを印加し、ゲート酸化膜上に蓄積するイオンの蓄積速度で樹脂中のイオン性物質を評価することができます。

イオンの蓄積モデルは、樹脂中のイオン性不純物濃度、イオンの電荷、イオンの移動度の相乗積で表されるバルク伝導度の逆数であるバルク抵抗率 ρ_v (あるいはバルク抵抗 R_r)、樹脂-SiO₂界面抵抗 R 、および等価酸化膜容量 C_{ox} を含んだ図2-2-3-1(c)の過渡現象モデルで説明できます。

このモデルでは、 $R \gg R_r$ のとき、酸化膜表面の電位 (等価ゲート電圧 V_G^*) は、

$$V_G^* \approx V_A \left(1 - e^{-\frac{t}{\tau}} \right)$$

で近似できます。ここに、 V_A は V_G^* の飽和値、 τ は $C_{ox} \cdot R_r$ に等しく、樹脂のバルク抵抗に依存した時定数を表します。

第二章 故障メカニズム

以上から、 R_r 、 ρ_v および τ が対応付けられることが分かります。そして、 ρ_v あるいは R_r が小さいものほどイオン伝導度が大きく、素子表面に達するイオン量が多くなり、不安定な素子動作やAl腐食を起こしやすい樹脂であると判断されます。

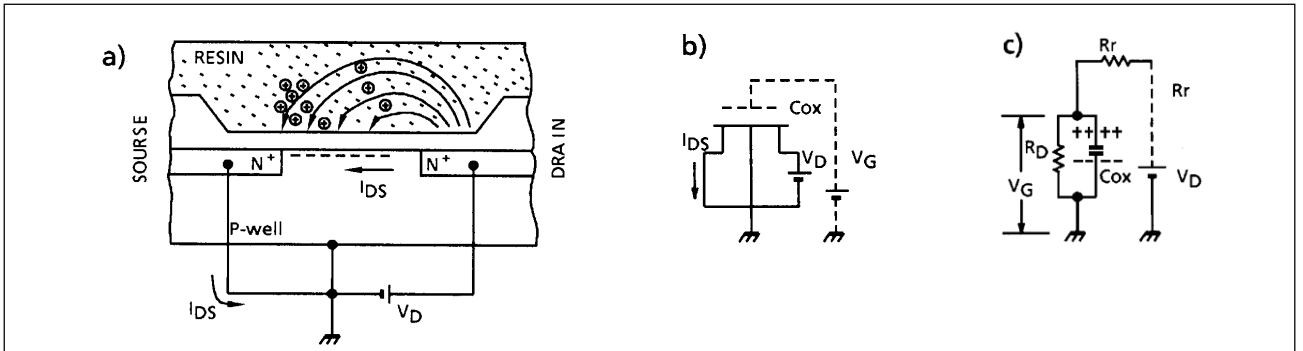


図 2-2-3-1 スペーサ構造の電荷蓄積モデル

図2-2-3-2は、上述した τ とAl配線腐食速度の相関を示したものです。 τ の大きいものほど、Al配線腐食が起こりにくいことが分かります

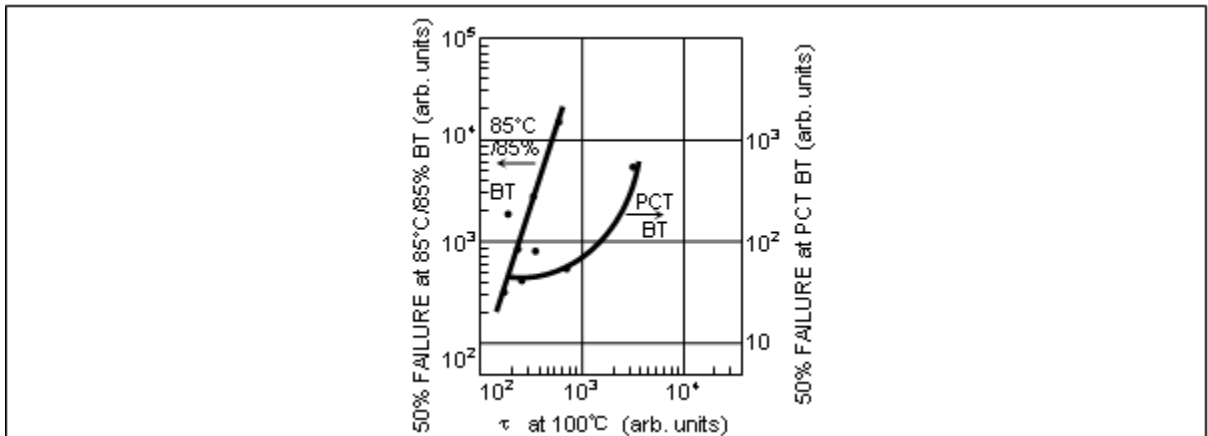


図 2-2-3-2 高温におけるチャンネル・リークの時定数 τ とAl腐食の相関性

第二章 故障メカニズム

図2-2-3-3 は、 τ の温度依存性を示したものです。活性化エネルギーは約0.9~1eV程度となり、図2-2-3-4 に示した樹脂のバルク抵抗の温度依存性と一致することが分かります。

また、図2-2-3-5 はバルク抵抗の吸湿による劣化を示したものです。吸湿により、指数関数的にバルク抵抗が劣化することが分かります。

以上のことから、樹脂の高温バルク抵抗やバルク抵抗の温湿度劣化は、樹脂の信頼性を表す重要なパラメータであるといえます。

そのほかの樹脂封止製品の耐湿性要因には、金属あるいはチップ表面との密着性、透湿性、吸湿性があります。樹脂封止製品に使用されるエポキシ樹脂は、低応力で密着性が高く、不純物の少ないものが管理され使用されています。

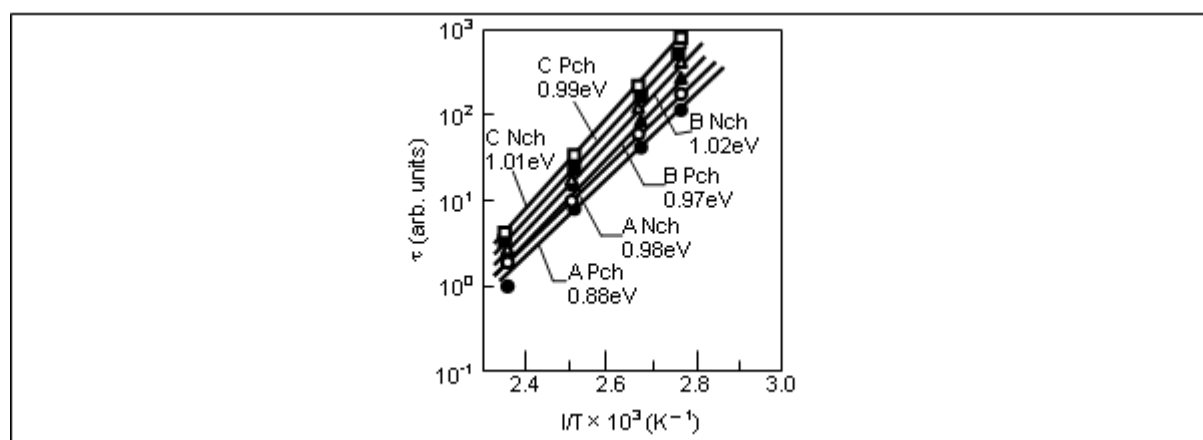


図 2-2-3-3 時定数 τ の温度依存性

第二章 故障メカニズム

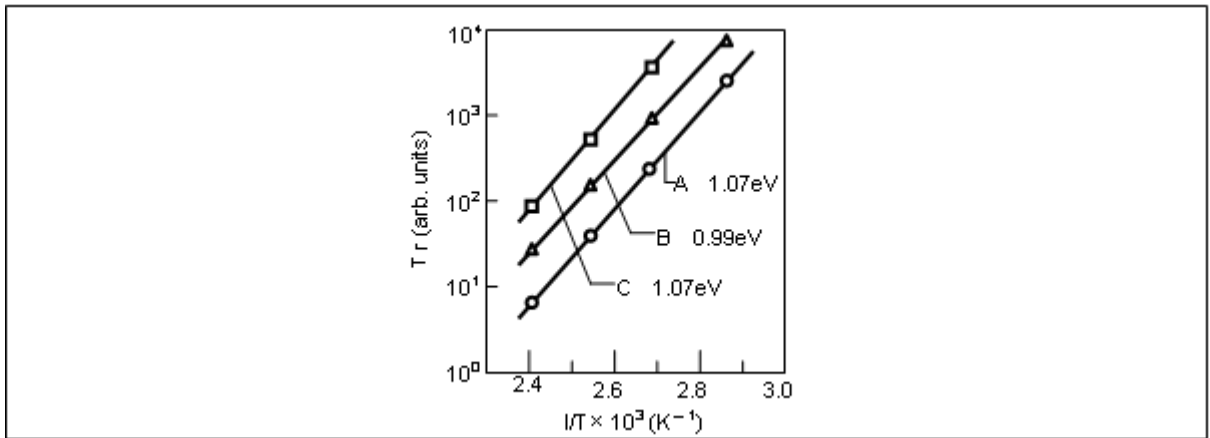


図 2-2-3-4 樹脂のバルク抵抗の温度依存性

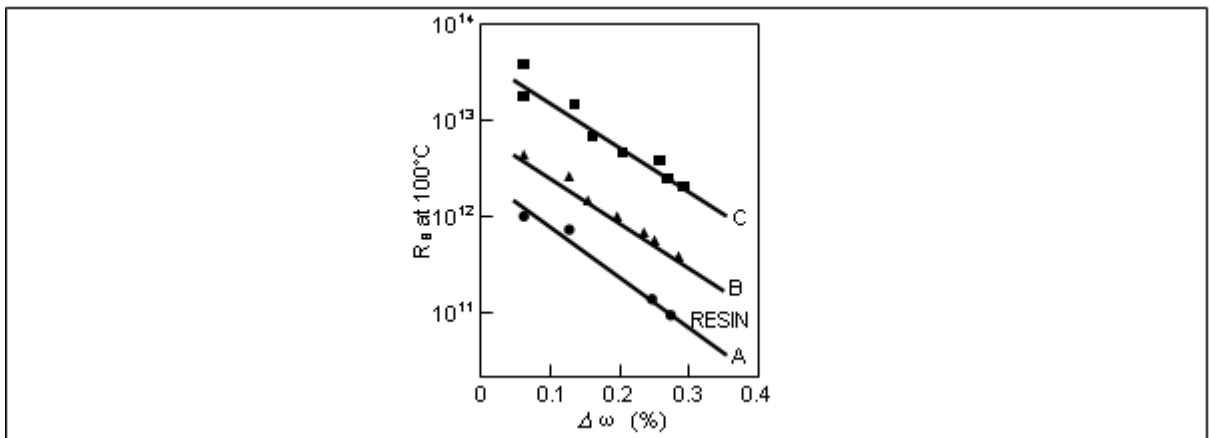


図 2-2-3-5 バルク抵抗の吸湿量依存性

第二章 故障メカニズム

(2) モールド歪による種々の問題

半導体封止に用いられる樹脂は、樹脂の重合によって収縮し、樹脂に接する半導体チップには大きな応力が加わります。このためピエゾ抵抗効果によってデバイスの抵抗体の抵抗値が変動し、素子の特性に大きな影響を及ぼしたり、AIスライドやパッシベーションクラックを発生させます。

以下に樹脂封止されたシリコンチップに発生する応力の測定に関して当社で行った実験例を紹介します。

応力の測定は、抵抗体をシリコンチップに形成したTEGを用いて行いました。ピエゾ抵抗効果の一般式は、次式で表されます。

$$\delta\rho_i = \left(\frac{\Delta R}{R} \right)_i = \sum_{j=1}^6 \pi'_{ij} \cdot \tau_j$$

ここに、 $\delta\rho_i$ は抵抗変化率、 π'_{ij} はピエゾ抵抗係数、 τ_j は応力です。 τ_j については、次式となります。

$$\tau_1 = \sigma_x, \tau_2 = \sigma_y, \tau_3 = \sigma_z$$

$$\tau_4 = \sigma_{yz}, \tau_5 = \sigma_{zx}, \tau_6 = \sigma_{xy}$$

シリコンチップは極めて薄いため、 $\sigma_x, \sigma_y \gg \sigma_z$ と考えられます。また、ピエゾ抵抗係数 π'_{ij} は、半導体の導電型、面方位、抵抗体の方向、不純物によって決まる4階のテンソル量です。 π'_{ij} は、これらのパラメータが判明しているTEGに既知の応力を加えることによって求めることができます。

第二章 故障メカニズム

応力は次のようになります。

$$\sigma_x = \frac{1}{2} + \left(\frac{1}{A} + \frac{1}{B} \right) \delta\rho_1 + \frac{1}{2} \left(\frac{1}{A} - \frac{1}{B} \right) \delta\rho_3$$

$$\sigma_y = \frac{1}{2} + \left(\frac{1}{A} - \frac{1}{B} \right) \delta\rho_1 + \frac{1}{2} \left(\frac{1}{A} + \frac{1}{B} \right) \delta\rho_3$$

$$\tau_{xy} = \frac{1}{C} (\delta\rho_2 - \delta\rho_4)$$

ここに、係数のA、B、Cは表2-2-3-6のようになります。

表 2-2-3-6 応力測定に用いる係数

方位 \ 係数	A	B	C
100	$\pi_{11} + \pi_{12}$	$-\pi_{44}$	$-2 (\pi_{11} - \pi_{12})$
111	$\pi'_{11} + \pi'_{12}$	$-\pi'_{11} + \pi'_{12}$	$-2 (\pi'_{11} - \pi'_{12})$

表2-2-3-7は、チップサイズ3 mm角のTEGをDIP16ピン・パッケージに封止したときの応力の測定結果を示したものです。応力は、ウェーハ状態のときを基準にして求めています。チップ内部応力は、中央部で長軸方向の方が大きく、また中心部と周辺部では、応力が異なり均一でないことが分かります。

表 2-2-3-7 {100} P型抵抗を用いて測定した平均応力⁴¹⁾

単位: N/cm²

位置 \ 工程		Mount	Mold	Cure 2h
a 中心部	σ_x	-4312	-11760	-16072
	σ_y	-5292	-16366	-22050
	τ_{xy}	107.8	-58.8	39.2
b 周辺部	σ_x	-4018	-6076	-11564
	σ_y	-5880	-7154	-13524
	τ_{xy}	245	1479.8	1783.6

第二章 故障メカニズム

図2-2-3-8は、チップ内部応力分布を求めるために用いたTEGで、(b) に示す3方向に配置した抵抗体を1ユニットとして、これをチップに55個配置したものです。

図2-2-3-9は、封止後の応力 σ_x 、 σ_y および τ_{xy} の分布を示したものです。これらの実験結果は、設計にフィードバックされました。

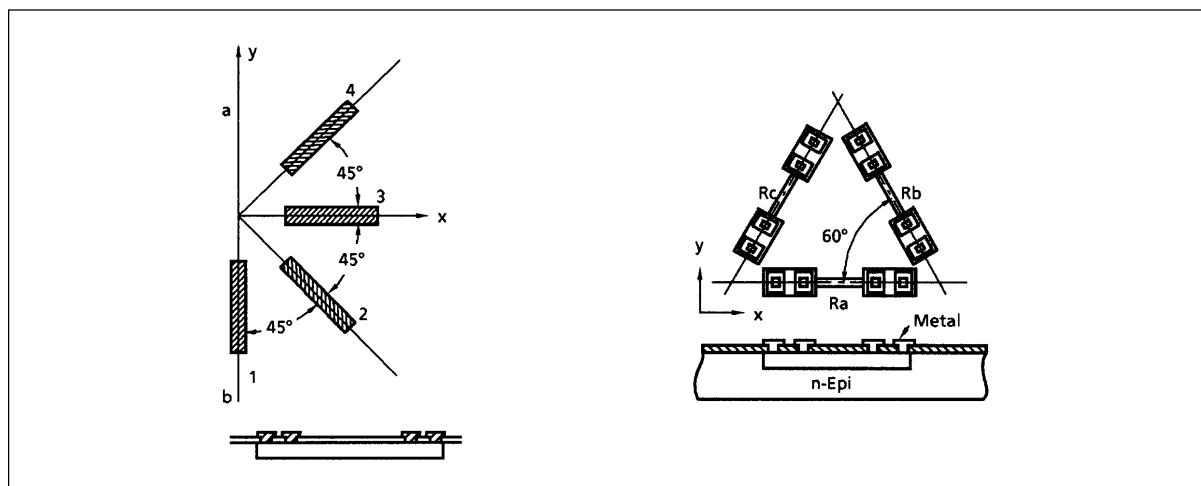


図 2-2-3-8 抵抗体TEGの構造

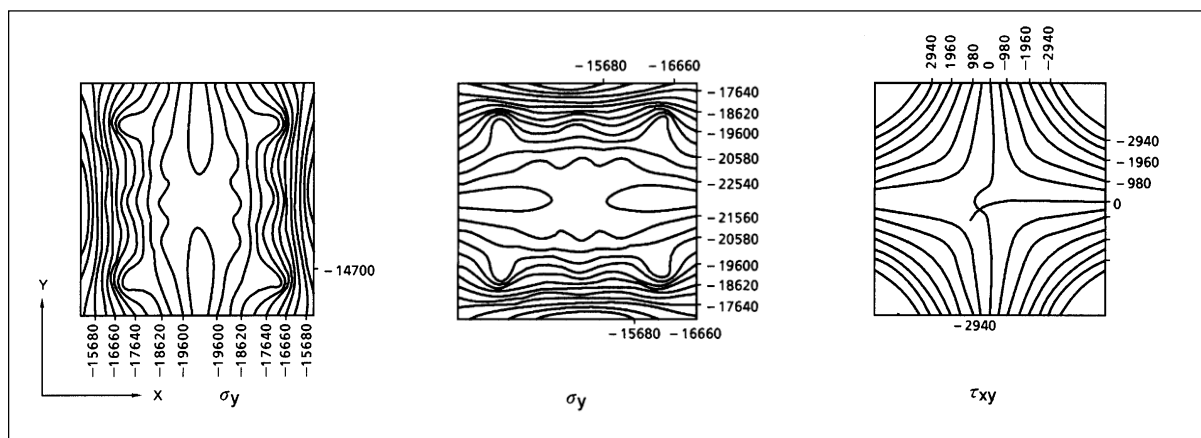


図 2-2-3-9 封止後の応力分布

第二章 故障メカニズム

(3) モールド樹脂中フィラによるトップパッシベーションのクラック

モールド樹脂の中にはSiO₂のフィラが入っています。このフィラーがチップと樹脂の界面に介在物として存在すると、温度サイクルテストなどによって生じた機械的ストレスによりパッシベーションにクラックが生じ、クラック部の下のAlが潰れ、Al下の層間膜にまでクラックが生ずる場合があります。

このクラック部にリークパスを形成するためAlとAl下のPoly-Si間にリークが発生し不良となるものです。チップ上にポリイミドを塗布する対策が施されています。

第二章 故障メカニズム

2-2-4. 実装故障

樹脂封止タイプのパッケージは成形の容易性から、さまざまな形状の製品が作られており、基板上のIC実装密度を高める目的で面実装型の製品が多数開発されています。このタイプは、DIP (Dual Inline Package)、SIP (Single Inline Package) などの基板挿入タイプに比べて実装時樹脂部分が直接熱にさらされることがあるため、パッケージクラックの発生や耐湿性レベルの低下を引き起こす場合があります。特に最近ではパッケージの薄型化およびチップサイズの大型化が進み、はんだ付け時の熱ストレスに対する耐性はさらに厳しい方向となってきています。

はんだ付け条件によって、面実装型のパッケージは信頼性が左右される可能性がありますので、製品を実装するにあたって吸湿管理条件、はんだ付け条件などを十分に検討、認識する必要があります。ここでははんだ加熱によるパッケージクラックのメカニズムについて説明します。

第二章 故障メカニズム

2-2-4-1. パッケージの吸湿・排湿特性

樹脂封止された半導体製品の樹脂は基本的な性質として多孔質で水分の透過性があります。このため特に樹脂厚が薄い面実装製品 (SMD: Surface Mounted Devices) は、吸湿した状態ではんだ付けされるとパッケージの急激な温度上昇で水分が蒸気化しパッケージが膨れたり、あるいはリードフレームと樹脂との界面が剥れすき間が発生し、信頼性上重大な問題を起こします。

したがってSMDパッケージの吸湿量とはんだ付け後の信頼性とは密接な関係にあります。

第二章 故障メカニズム

2-2-4-2. パッケージクラック発生のメカニズム

図2-2-4-5にパッケージクラックの発生過程を示します。このメカニズムはダイパッド下にたまった水分の気化膨張が主な原因です。

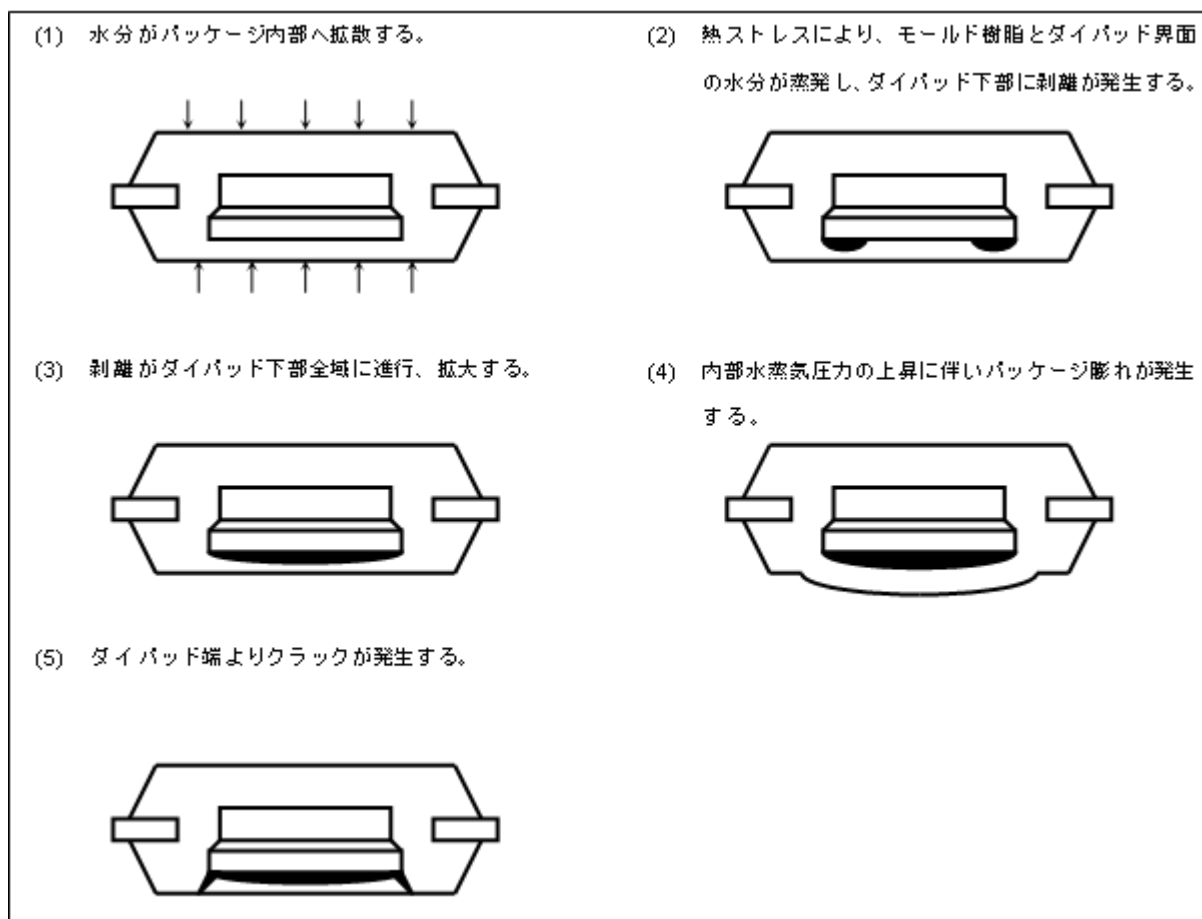


図 2-2-4-5 パッケージクラック発生のメカニズム

第二章 故障メカニズム

2-2-5. Ag migration

イオンマイグレーションは種々の金属で発生しますが、特にAgのマイグレーションが有名です。Sn-Pbめっきでは大きく問題視されていませんでしたが、Agを含む鉛フリーめっきでは注意が必要となります。マイグレーションは、電界中における金属成分（めっき）が非金属成分（実装基板）上を移動する現象で、移動した金属は導電性があるため、リード間ショートによる故障原因となります。

2-2-6. ウィスカ

最近では、ウィスカの発生を抑えたSnめっきの開発が進み実用化されていますが、元々Snめっきであった外装めっきがSn-Pbめっきに替わっていた要因の一つにはウィスカの問題があります。

鉛の添加によりウィスカの発生が抑制できたことから、外装めっき材質が、鉛フリーめっきに替わることによってSnの含有量が増えるため、ウィスカには注意しなければいけません。Sn-Pbめっきの場合、Sn含有量は63~90wt%であるのに対して鉛フリーめっきでは95%以上となります。

Snウィスカの発生は、酸化、拡散、および機械的に生じる圧縮応力によりSnが押し出されるという説が一般的です。Snウィスカには針状、ノジュール状、スパイラル状の形状があります。特に針状のウィスカは長く伸びていく可能性があり、リード間ショートによる故障原因となります。

第二章 故障メカニズム

2-3. 使用環境

2-3-1. 静電気放電(ESD)

半導体製品は、微細加工および高集積化の技術が進歩することで、性能の点で目覚ましい進歩を遂げています。しかし、この微細化が進むにつれて、静電気放電 (Electrostatic Discharge :ESD) による半導体製品の劣化および損傷が重要な問題となっています。ここでは、この静電気が発生するモードとその破壊モードについて説明します。

[1].ESD発生モデル

(a)人体帯電モデル (HBM: Human Body Model)

このモデルは、人体が静電気の発生源となり、そこから静電気放電が生じることで半導体製品に損傷を起こすモデルです。実際に人体がどのくらいの静電容量を持つかについては、いろいろと議論がありますが、評価を行う際には100 pF, 1500 Ωの条件に設定したコンデンサ放電法で行います。

(b)デバイス帯電モデル (CDM: Charged Device Model)

このモデルは、半導体製品が帯電した物体に近づくことで、あるいはスティックなどと摩擦することで、製品自身が静電気の発生源となり、リードを伝って急激な放電が起きることにより製品に損傷を引き起こすモデルです。評価は専用のCDM試験装置を用いて行います。

(c)その他

上記の2種類のモデルのほかに、MOSなどの絶縁構造の製品が高電界にさらされることで誘導帯電を起こし、そこから放電されることで製品に損傷を起こす誘導電界モデルや、CDMをコンデンサ放電法で再現させるための方法である小容量コンデンサ法 (10 pF, 0 Ω) といったモデルもあります。

第二章 故障メカニズム

(1)人体帯電モデル (HBM: Human Body Model)

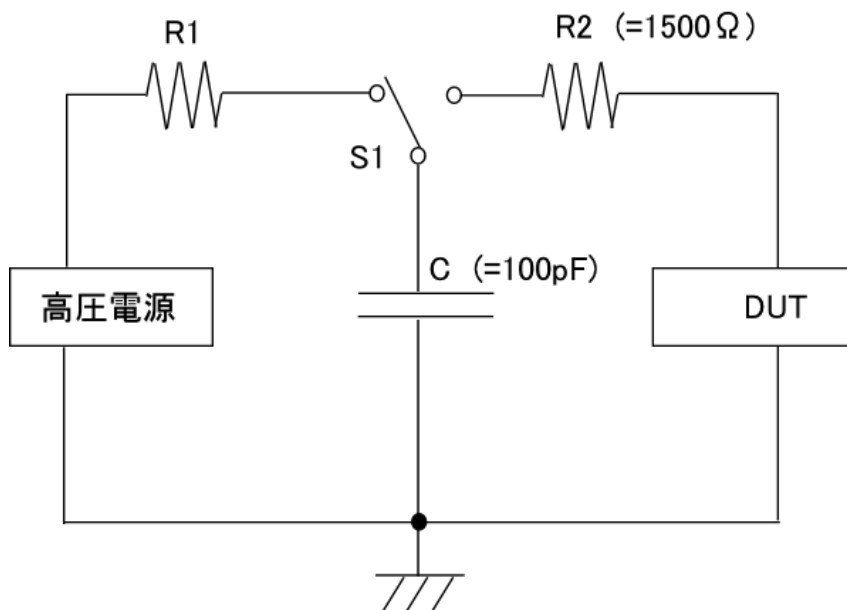


図 2-3-1-1 人体帯電モデル (HBM) の試験回路

(2)デバイス帯電モデル (CDM: Charged Device Model)

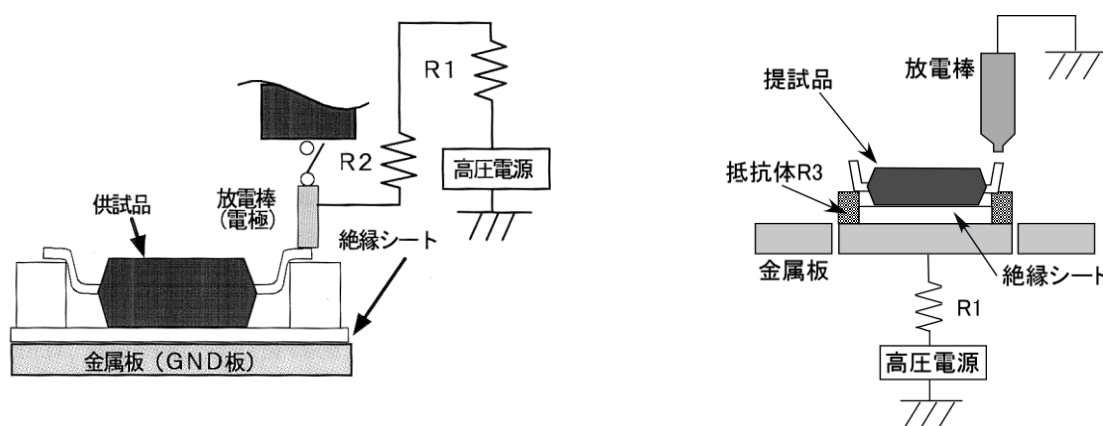


図 2-3-1-2 デバイス帯電モデル (CDM) の試験回路
(左図: ダイレクトコンタクト(DC)方式、
右図: 誘導帯電気中放電(FI)方式)

第二章 故障メカニズム

[2].故障メカニズム

半導体製品の主な静電気破壊メカニズムには、以下の2つに分類されます。

(1)絶縁膜破壊（ゲート酸化膜破壊、層間膜破壊）

絶縁膜破壊は、ゲート酸化膜や層間配線間の絶縁膜の短絡により起こります。MOS構造のゲート酸化膜を持つ半導体製品で多く発生します。これらMOS構造の酸化膜破壊現象は、熱伝導性が低い酸化膜に対して限界以上の電圧が印加され、損傷を起こすのに必要なエネルギーがMOS製品で消費された場合に生じる現象です。

一般に、酸化膜の絶縁破壊強度は8~10MV/cmと言われていています。このため、薄い酸化膜の製品、たとえば50 nm厚の酸化膜の場合は、40~50 Vで絶縁破壊を起こすことになります。

(2)熱破壊（接合破壊）

接合破壊現象は、接合部を過度の電流が流れることで接合部が局部的に温度上昇を引き起こした場合に、その発生した熱で接合部が破壊します。この接合破壊を説明するモデルは、熱拡散方程式を用いたWunsch & Bellのモデルが最も一般的です。このモデルは、印加されるパルス幅と素子にかかる電力密度から接合破壊現象が決定されるモデルです。

順方向へ放電させた場合と逆方向へ放電させた場合では、接合部でのエネルギー消費状況が異なってくるため、破壊電圧に相違が生じます。この原因は、順方向への放電の場合の方が局部へエネルギー集中がしにくいため、順方向へ放電させた場合の方が破壊電圧が高くなるという結果が得られています。

第二章 故障メカニズム

2-3-2. 電氣的オーバーストレス(EOS)

絶対最大定格を超える電圧や電流が半導体製品にかかることにより破壊に至るモードが、EOS (Electrical Over Stress) による破壊です。

ストレスとなる電氣的なエネルギーが小さい場合でも、素子の劣化を招いたり、製品内部の微小な配線部が溶融や溶断に至ることがあります。この場合、視覚的には判断ができないケースが多く、特性異常や製品寿命の短命化となって現れます。

また、大電圧や大電流などの電氣的エネルギーが大きい場合や、長時間に渡り異常電圧や異常電流がかかるなどの程度が重い場合は、パッケージ樹脂の変色・溶融が生じたり、更には、パッケージが割れたりするケースもあります。

< EOSによる破壊例1 >

図 2-3-2-1は、EOSによる破壊のためパッケージ樹脂が溶融した状態で、図 2-3-2-2は、同じ状態の別の製品を分解したものです。溶融したモールド樹脂がワイヤーやチップにこびりつき、通常の分解ではこのように残ってしまっています。

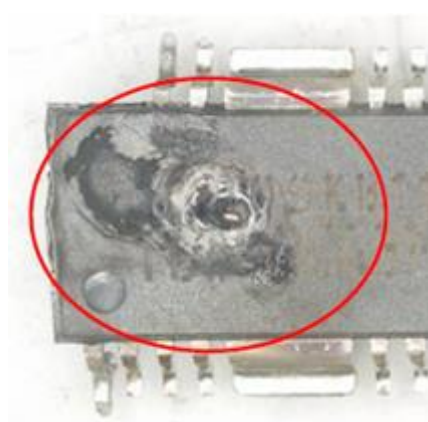


図 2-3-2-1 破壊によるパッケージ樹脂の溶融

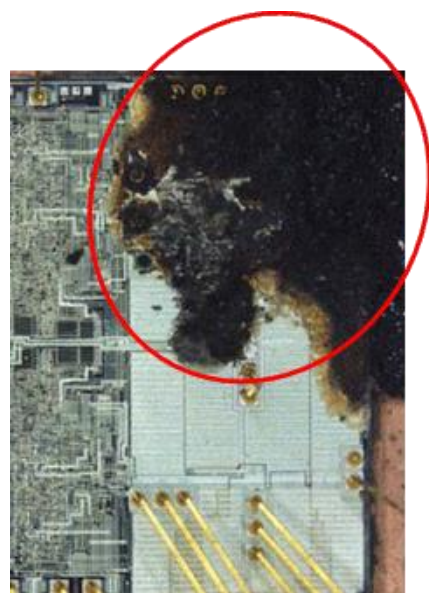


図 2-3-2-2 同じ状態の別の製品を分解したもの

第二章 故障メカニズム

< EOSによる破壊例2 >

図 2-3-2-3は、EOSが比較的に小さいエネルギー、または、短時間の印加であったと推測する破壊痕です。

回路内の微小部分の溶融に止まっています。図 2-3-2-4は、破壊に至らしめたエネルギーが大きかったものです。チップ中央部の回路が溶融しているのが分かります。

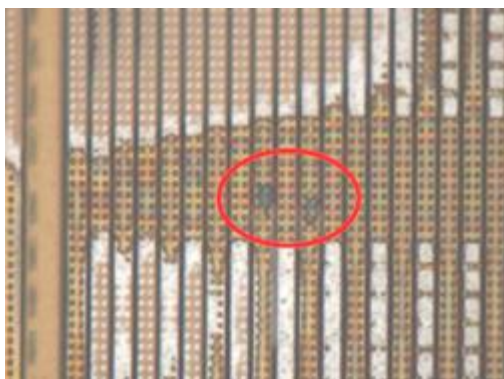


図 2-3-2-3 エネルギーが小さい、または、短時間であった場合の破壊痕

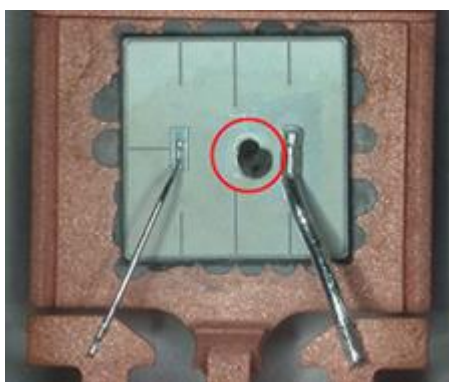


図 2-3-2-4 エネルギーが大きかった場合の破壊痕

第二章 故障メカニズム

2-3-3. ソフトエラー(Soft Error)

宇宙線 (陽子やHe等の荷電粒子) は大気中に入射すると、大気中の元素との衝突により様々な二次粒子が発生し、電荷を持たない中性子は大気中での原子核衝突でしか減衰されず、地表に到達します。

宇宙線には10~数100MeVの高エネルギー中性子と地表において熱平衡に達した低エネルギー中性子(熱中性子:約0.025MeV) に分類されます。

高エネルギー中性子がデバイスのSi原子核と衝突すると、発生した荷電イオンが大量の電荷を誘起してソフトエラーを起こします。また、低エネルギー中性子 (熱中性子) と ^{10}B との捕獲反応で発生する ^7Li や α 線がソフトエラーの原因となることも知られています。特に ^{10}B を多く含むBPSG (Boro-Phospho Silicate Glass) を用いたデバイスに大きな影響を及ぼすこともあります。

この中性子起因のソフトエラーは地理的環境 (緯度、経度、高度等) や放射線遮蔽環境 (屋内外) 等デバイスの使用環境に依存しており、地上の放射線環境は太陽活動などに依存しています。

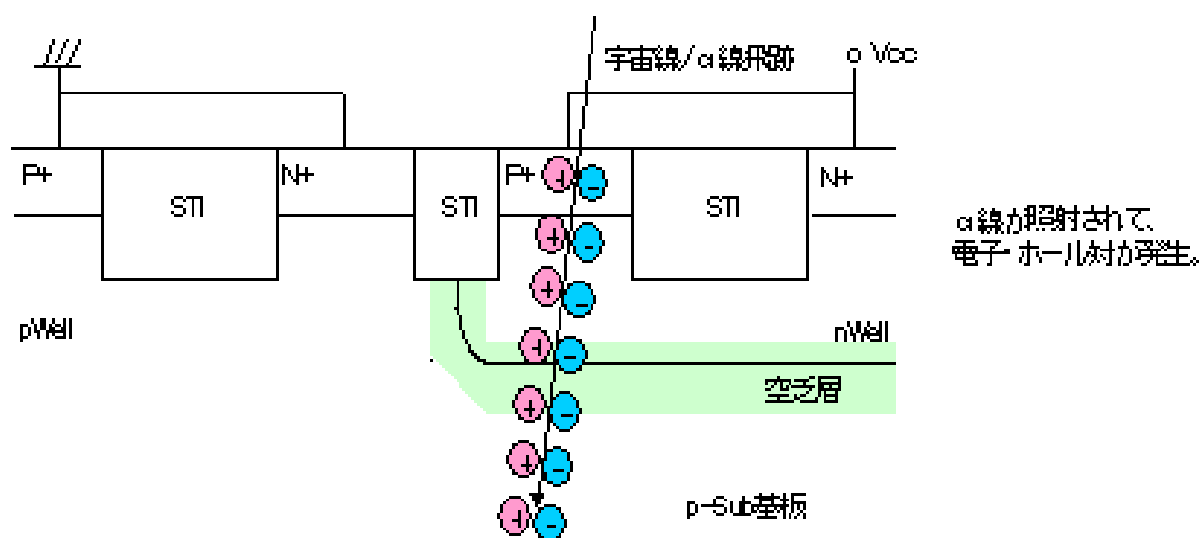


図 2-3-3-1 ソフトエラーのメカニズム

第二章 故障メカニズム

2-3-4. ラッチアップ

CMOS-ICでは、動作中に入力端子または出力端子から過大なノイズや電圧が印加されると寄生のサイリスタが導通状態となり、破壊不良となることがあります。

図2-3-4-1にはCMOSの断面構造と等価回路を示します。図2-3-4-1の断面構造のようにNPNとPNPの寄生トランジスタを持ち、これが等価回路に示すようにPNPNサイリスタ構造を形成します。

たとえばD端子にVDD max以上の電圧を印加した場合、Tr1のエミッタベース間が順バイアスされ、Tr1のコレクタ電流はRPを通過してGNDに抜けるため、RPの両端には電位差を生じ、Tr2のエミッタベース間を順バイアスし、これによるTr2のコレクタ電流はRNを通過してVDDから供給されるのでRNの両端に電位差が生じ、ますますTr1のベースエミッタ間を順バイアスする正帰環がかかり、サイリスタ構造が導通状態となり最終的には、CMOS ICが、破壊してしまう現象です。

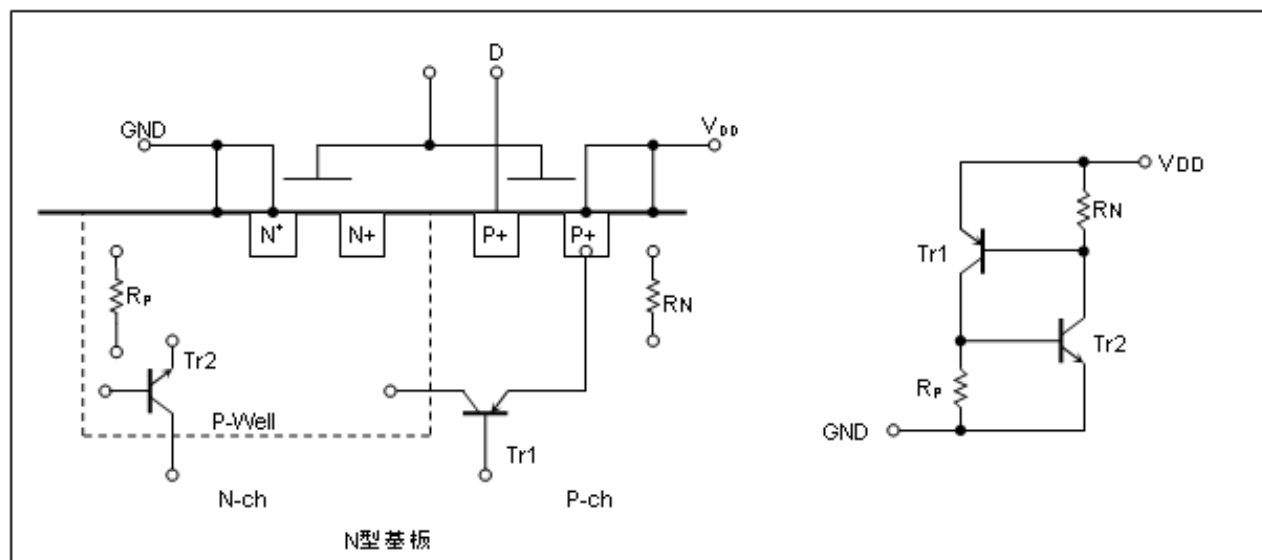


図 2-3-4-1 CMOSの断面構造と等価回路

第二章 故障メカニズム

2-3-4-1. ラッチアップ試験回路

以下にラッチアップ強度試験(パルス電流注入法)の試験回路を示します。

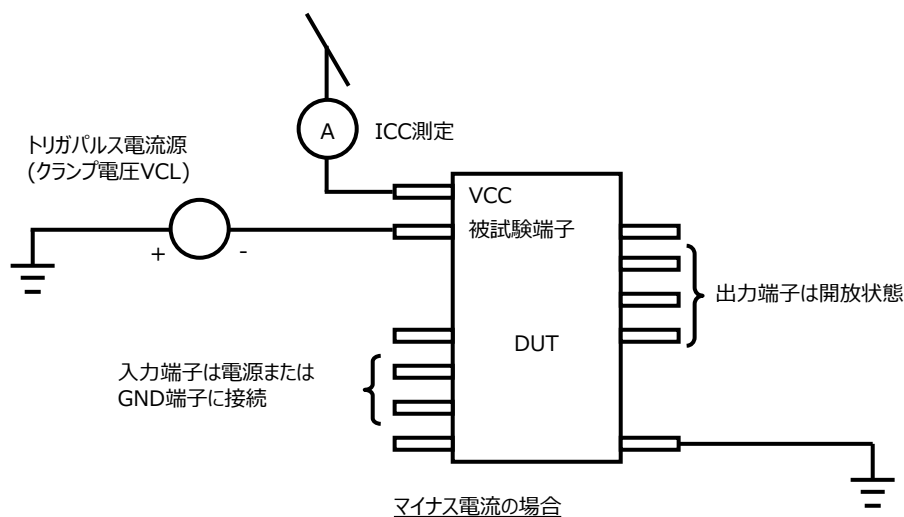
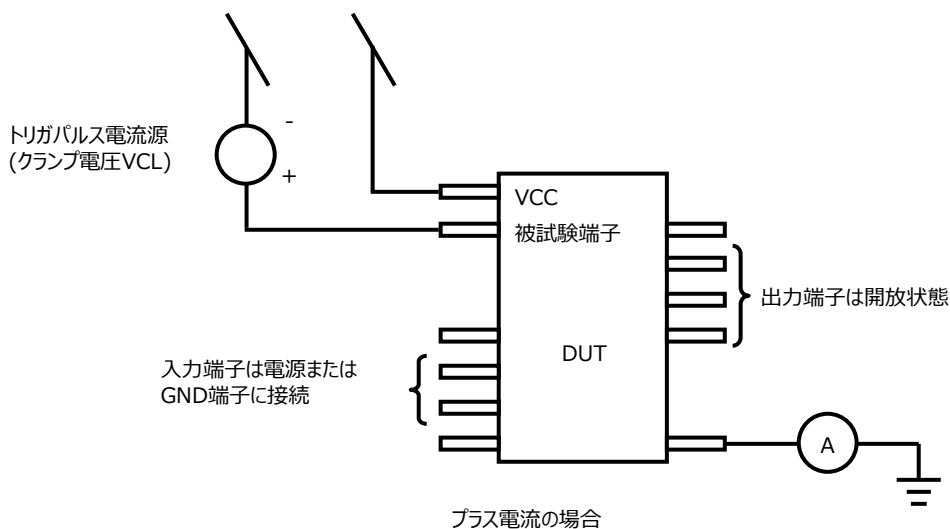


図 2-3-4-1 ラッチアップ試験の試験回路

第二章 故障メカニズム

[参考文献]

- 1) D.Crook: "Method of Determining Reliability Screens for Time Dependent Dielectric Breakdown", 17th annual Proc. Re1. Phys., P1 (1979)
- 2) J. Lee, I.C. Chen, C. Hu: "Statistical modeling of silicon dioxide reliability", IEEE International Reliability Physics Symposium 1988, pp131-138
- 3) Joe McPherson, Vijay Reddy, Kaustav Banerjee*, and Huy Le : "Comparison of E and 1/E TDDB models for SiO₂ under long-term/low-field test conditions", IEDM Technical Digest, (1998), pp. 171-174
- 4) P.E. Nicollian, W.R. Huntor, and J.C. Hu: "Experimental Evidence for Voltage Driven Breakdown Models", IEEE Reliability Physics Symposium, 2000, pp. 7-15
- 5) A. Haggag, N. Liu, D. Menke, M. Moosa: "Physical model for the power-law voltage and current acceleration of TDDB", Microelectronics and reliability 2005, vol. 45, pp. 1855-1860
- 6) K. Ohgata, M. Ogasawara, K. Shiga, S. Tsujikawa, E. Murakami, H. Kato, H. Umeda, K. Kubota: "Universality of power-law voltage dependence for TDDB lifetime in thin gate oxide PMOSFETs", IEEE International Reliability Physics Symposium, 2005, pp. 372 - 376
- 7) "A Comprehensive Study of Low-k SiCOH TDDB Phenomena and Its Reliability Lifetime Model Development", IEEE International Reliability Physics Symposium Proceedings, 2006, pp. 46 - 53

第二章 故障メカニズム

- 8) Bruce Euzent: "Hot Electron Injection Efficiency in IGFET Structures" 15th annual Proc. Re1. Phys., P1 (1977)
- 9) 谷口:「シリコン熱酸化膜とその界面」リアライズ社 P296 (1991)
- 10) 飯塚、桜井、各務;「ホットキャリアから1 μ m MOS LSIを守るのに回路技術を駆使」日経マイクロデバイス 1985年夏号 特集版
- 11) E.Miranda, IEEE Trans. Electric devices Vol47. No.1 Jan.2000
- 12) Jeppson, Kjell O.; Svensson, Christer M.: "Negative bias stress of MOS devices at high electric fields and degradation of MNOS devices", Journal of Applied Physics, Volume 48, Issue 5, pp. 2004-2014 (1977).
- 13) B.E.Deal: "Standardized Terminology for Oxide Charges Associated with Thermally Oxided Silicon.", IEEE, Trans., Electron Devices, ED-27, P606 (1980)
- 14) V. Huarda, M. Denaisb, F. Perriera, N. Revilb, C. Parthasarathyb, A. Bravaixc, E. Vincentb: "A thorough investigation of MOSFETs NBTI degradation", Microelectronics Reliability, pp83-98, January 2005
- 15) M. Houssaa), M. Aoulaicheb), S. Van Elshocht, S. De Gendt, G. Groeseneken: "Impact of Hf content on negative bias temperature instabilities in HfSiON-based gate stacks ", Appl. Phys. Lett. 86, 173509 (2005)
- 16) "A comprehensive framework for predictive modeling of negative bias temperature instability", IEEE International Reliability Physics Symposium Proceedings, 2004

第二章 故障メカニズム

- 17) E.Nagasawa: "Electromigration of Sputtered Al-Si Alloy Films", Proc. of annual Rel. Phys. Symp., P64 (1978)
- 18) Francois M.D'Hearle: "Electromigration and Failure Electronics: An Introduction", Proc. of the IEEE, Vol.59, No.10 (1971)
- 19) J.R.Black: "Electromigration of Al-Si Alloy Films", Proc. annual Rel. Phys. Symp., P233 (1978)
- 20) M.C.Shine and F.M.D'Heurle: "Activation Energy for Electromigration in Aluminum Films Alloyed Copper", IBM J. Res. Dev., Vol.15, No.5, P378 (1971)
- 21) N.Owada, K.Hinoda, M.Horiuchi, T.Nishida, K.Nakata and K.Mukai: "Stress Induced slit-like Void Formation in a Fine-Pattern Al-Si Interconnect during Aging Test", IEEE 2nd International VLSI Multilevel Interconnection Conference Proc., P173 (1985)
- 22) 津田: 「Al断線故障の新しいメカニズムを提案」日経マイクロデバイス 1985年9月号 P50
- 23) A.Tezaki et Al: "Measurement of Three Dimensional Stress and Modeling of stress Induced Migration Failure in Aluminium Interconnects", IRPS '90. P221
- 24) J.Klema, et al., Proc. of IRPS(1984) pp.1-5
- 25) J.Curry, et al., Proc. of IRPS(1984) pp.6-8
- 26) T.Ohshima, et al., Proc. of IEDM(2002) pp61-68
- 27) M.Kawano, et al., Proc. of IITC(2003) pp210-212
- 28) K.Yoshida., et al., Proc. of IEDM(2002) pp247-250
- 29) H.Yamamoto, et al., IEDM Tech Dig(1987)p205

第二章 故障メカニズム

- 30) IEEE Standard Definitions and Characterization of Floating Gate Semiconductor Arrays, IEEE Std 1005-1998, p75, IEEE Electron Device Society 1999
- 31) FLASH MEMORIES, p399, edited by Paolo Cappelletti, Carla Golla, Piero Olivo, and Enrico Zanoni, KLUWER ACADEMIC PUBLISHERS 1999
- 32) 渋谷、鈴木、青木、池谷:「プラスチック・モールド・デバイスの表面特性と耐湿性」電子通信学会信頼性研究会 R81-17, P31 (1981)
- 33) J.M.Eldrige, R.B.Laibowitz and P.Balk: "Polarization of Thin Phosphosilicate Glass Films in MGOS Structures", J.Appl. Phys., Vol.40, P1922 (1969)
- 34) A.S. Grove, Physics and Technology of Semiconductor Devices, John Wiley & Sons Inc., 1987
- 35) David B.Willmott: "Investigation of Metalization Failures of Glassed Sealed Ceramic Dual in Line Integrated Circuits", P158 (1900)
- 36) 海津、国広:「プラスチック封止半導体部品の湿度劣化則」電子通信学会信頼性研究会 R79-56, P75 (1979)

第三章 信頼性試験

3-1. 信頼性試験とは

3-1-1. 信頼性試験の意義と目的

半導体製品の信頼性試験の目的は、半導体製品がメーカーから出荷され、お客様の機器組み立て、調整工程を経て、最終ユーザーで所望の期間、機器の機能、性能が発揮されたことを確認することが、第一にあげられます。

しかしながら信頼性試験には、『時間とコスト』の壁があり、特に半導体製品は平均寿命が長くかつ低故障率が要求されるため、試験時間および試験数は、半導体製品の市場使用条件で行われた場合、膨大なものとなります。

したがって一般に、電圧、温度、湿度などを加速して試験時間を短縮したり、統計的手法による抜き取りやプロセス・設計の類似性を考慮して、試験試料数を適正化して実施されます。

当社では、新製品開発に当たって表3-1-1-1のように、それぞれの段階で各種試験を実施しています。最近は、お客様からの開発から出荷までの時間短縮の要求や、半導体製品が高度化、複雑化することで故障解析がより困難になりつつあることなどの理由から、半導体製品開発の時点からプロセスTEG (Test Element Group)、設計TEGなどによって、基本的な故障メカニズムに対する評価を十分行う必要が生じています。

製品としての信頼性確認は、開発認定試験(DAT: Design Approval Test)で寿命試験や各種環境試験を実施し、要求仕様および品質、信頼性目標を満足しているかを確認します。

量産時においては、厳重な製造管理による作り込みやスクリーニングで潜在的故障要因をもつ半導体製品を取り除くことで、より高い信頼性を確保するとともに、初期特性検査および定期的な信頼性モニタで製造品質が高水準に保たれているかを評価します。

第三章 信頼性試験

また評価レベルを新規性、重要度に応じて区分し、試験項目と判定基準を規定することで、効率よく焦点を絞った試験を行っています。

以上の各種信頼性試験は、半導体製品開発の各段階で問題を抽出し、対策を行うことで、開発段階から、お客様に安心して使って頂けるような信頼性を確立し、製造段階においても信頼性を維持向上することを目的としています。

表 3-1-1-1 信頼性試験の主な実施段階と目的、内容

	実施段階	目的	内容	試料
半導体デバイスの開発	材料・プロセス;基本設計の開発確認	製品に適用するとき、設計目標品質および信頼性、顧客・ユーザーの要求仕様を満足する材料・プロセス・設計ルールとなっているかを評価する	メタル配線 (Al,Cu) のエレクトロマイグレーション評価およびストレスマイグレーション評価 ゲート酸化膜耐圧評価 (TDDB 試験、耐圧試験) MOSトランジスタのホットキャリア注入効果 (HCI) および負バイアス不安定性 (NBTI) の評価 中規模・大規模回路または製品の故障率予測 新規パッケージの機械強度および環境試験 など	プロセス TEG 機能ブロック TEGなど
	製品としての信頼性確認	設計目標品質および信頼性、顧客・ユーザーの要求仕様を満足する設計となっているか、製品を評価する	開発確認試験 (寿命試験、環境試験など) 構造解析	製品
		製造品質および信頼性が、規定の水準を維持していることを評価する	スクリーニング信頼性モニタ (Siプロセス世代およびファミリー区分によるモニタ)	製品 TEG

第三章 信頼性試験

3-1-2. 信頼性試験を実施するにあたって

前述した目的を成し遂げるため信頼性試験を実施するにあたって、考慮しなければならないことは、次のようなものがあげられます。

- (1) 対象とする半導体製品はどのような用途が考えられるか
- (2) どのような環境・使用条件で使用される可能性があるか
- (3) どのような故障モード、メカニズムが考えられ、その加速にどのようなストレスが適当か
- (4) 市場で許容される信頼性はどの程度か（例えば故障率）
- (5) 使用期間はどの程度か
- (6) 新規性、重要度はどの程度か

これらのことを考慮して、試験項目、ストレス条件、サンプル数を選択します。

各種ストレスによる加速は、3-3. 加速寿命試験で詳細に説明しますが、以下のものがあり

- (1) 温度による加速
- (2) 温湿度による加速
- (3) 電圧による加速
- (4) 温度差による加速
- (5) 電流による加速

信頼性試験を実施する上で重要な点は、適切な予測ができることと、半導体製品の信頼性向上に寄与することです。

そのためには、信頼性試験の実績の積み上げと、故障が出た場合の徹底的な故障解析と、それらの結果を製品設計やプロセスにフィードバックすることが必要です。

第三章 信頼性試験

3-1-3. 信頼性試験方法

信頼性試験方法には、個々の故障要因を対象に専用の評価デバイス (TEG) を作成し評価を行うTEG評価法と総合的に評価を行う製品評価法があります。

3-1-3-1. TEG評価法

TEG評価法とは、基本的な故障メカニズムを対象に、その故障メカニズムごとの評価解析のために専用デバイスを作成して評価を行う方法です。この評価法は、故障メカニズムごとの詳細な評価および故障解析が行え、さらに限界点、加速性などの定量化ができることから、非常に有効な手段と言えます。表3-1-3-1にTEGによる評価法の例を示します。

TEG評価法では、その目的に従いウェーハ状態でプロービングによる評価と外囲器に封止して評価する方法があります。このTEG評価法は、大きく分けて4つの目的で用いられます。

第1の目的は、新製品のDATで、信頼性に影響をおよぼす故障メカニズムを取り除くための評価です。表3-1-3-1に示す様々なTEGによるプロセス・設計起因の故障メカニズムを対象に評価します。

第2の目的は、製品評価段階である不具合が発見された場合、そのメカニズムを解明するために評価を行います。

第3の目的は、製造工程の各パラメータをモニタリングするための評価で、膜厚や形状、汚染などのプロセスモニタ、またプロセス・デザインルールごとの故障率モニタに用います。

第4の目的は、機能ブロックごとのTEGを作成し、その組み合わせで、製品の信頼性予測を行うことです。このように、種々の目的に従いTEGを使い分けることで、精度の良い適切なデータを得ることができます。

第三章 信頼性試験

表 3-1-3-1 TEGによる評価法の例

TEG構造	評価対象	設計・プロセスパラメータ	ストレス	評価方法	評価パラメータ
MOS キャパシタ	ゲート酸化膜破壊 イオンドリフト 界面トラップ プロセスダメージ 製造条件のばらつき 放射線効果	ゲート膜厚 ゲート膜質 酸化方法 電極材料 汚染 面積 形状 寸法	温度 電圧 電界 電流	TDDDB (定電流、定電圧、 ステップストレス) 酸化膜耐圧試験 C-V (パルスC-V) DLTS (Deep Level Transient Spectroscopy)	故障率vs時間 酸化膜耐圧 Q _{BD} (酸化膜破壊電荷) 電界加速係数 活性化エネルギー C _{OX} (酸化膜容量) 故障率
MOS トランジスタ	ホットキャリア効果 負バイアス安定性 イオンドリフト 界面トラップ 製造条件のばらつき プロセスダメージ ショートチャネル効果 フィールドリーク	ゲート寸法 (W/L) ゲート膜厚 ゲート膜質 電極材料 汚染 パッシベーション材 質 形状、構造 イオン注入条件	温度 電界 機械的応 力 電流	高温DCバイアス 低温DCバイアス チャージポンピング DC/パルス	ΔV_{th} (しきい値電圧変動) ΔI_d (ドレイン電流変動) Δg_m (gm変動) 電圧加速係数 活性化エネルギー サブスレッショルド特性 フィールド耐圧
多層配線 (金属、拡散 層 層間絶縁膜)	ストレス マイグレーション エレクトロ マイグレーション コンタクトオープン 層間耐圧 腐食	配線材料 配線幅 配線間隔 スルーホール径 コンタクト径 段差、ホール形状 層間絶縁膜 パッシベーション 封止樹脂	温度 電流密度 温度勾配 電圧 機械的応 力 温湿度	高温定電流試験 高温放置 温度サイクル リフロー処理 高温高温通電 プレッシャークッカー	抵抗変化 故障率vs.時間 活性化エネルギー 電流密度依存性 オープン ショート
機能ブロック	プロセスモニタ 故障率推定 プロセス認定 耐湿性	形状・寸法・素子数 ゲート膜厚 ゲート膜質 層間膜質	温度 電圧	高温バイアス (直流、パルス) 低温バイアス (直流、パルス) 高温放置など	故障率vs時間 活性化エネルギー 電圧加速 スタンバイ電流 AC/DCパラメータ

第三章 信頼性試験

3-1-3-2. 製品評価法

評価レベルを新規性、重要度に応じて区分し、試験項目と判定基準を規定することで、効率よく焦点を絞った試験を行っています。

TEGでは、個々の故障メカニズムごとの詳細なデータは得られますが、それらの組み合わせによる相乗効果や不整合による欠陥などを十分に見つけだすことはできません。従って、これらを補足する上で総合的な製品評価が必要となります。

製品での信頼性試験は、できるだけ市場環境に即した条件で行うことが望ましく、しかも常に再現性があることが必要です。このような意味から、できるだけ標準化された試験方法を選定することが望ましく、JIS規格、JEITA規格、MIL規格、IEC規格、JEDEC規格など、半導体デバイスの標準的な試験規格に準拠した試験を実施することが必要です。これらの規格の代表的なものを表3-1-3-2に示します。

当社では、半導体製品に共通な試験方法として、これらの中でJEDEC規格、AEC規格、SD規格に準拠した表3-1-3-3に示す試験方法を標準として定め、製品群により適切な試験方法を選択して実施しています。さらに、その他の試験として、静電耐量試験 (ESD試験)、ラッチアップ強度試験、ソフトエラー試験などを行い、市場環境に適合した試験を行っています。

表 3-1-3-2 信頼性試験規格類

• JEDEC規格 (JEDEC Solid State Technology Association)	
JESD47	STRESS-TEST-DRIVEN QUALIFICATION OF INTEGRATED CIRCUITS
JESD 22	Series Test Methods
JESD 78	IC Latch-Up Test
JS-001	Electrostatic Discharges Sensitivity Test - Human Body Model (HBM)
JS-002	Electrostatic Discharges Sensitivity Test - Charged Device Model (CDM)
• 車載向け電子部品規格(AEC)	
AEC- Q100	集積回路(IC)

第三章 信頼性試験

3-1-4. 故障判定基準

故障には、一般的にファンクション不良、オープン、ショートのような致命故障のほか、機能劣化、外観不良などがありますが、当社では原則としてデバイスごとの仕様書に規定された基準で判定しています。

第三章 信頼性試験

3-2. 信頼性試験の具体的適用方法

3-2-1. 製品認定試験手順

半導体製品の信頼性試験は、その研究開発、量産段階において実施されています。研究開発時には、設計品質、材料、プロセスの評価のために実施され、量産時には製品認定試験や定期的に各種の信頼性モニタとして実施されています。

製品認定試験の手順は図3-2-1-1 に示すように、研究開発時にウェーハプロセスやパッケージに関する評価を主体にTEGを用いて行い、適したデザインを決定するための基礎データを取得します。そのデータを元に設計、試作した製品を用いて信頼性試験（製品認定試験）を行います。製品評価を行う際には、デザインルールやパッケージによりファミリー分類を行い、そのファミリーの代表製品を用いて信頼性試験を行います。試験項目は、電気的特性、初期不良率、長期寿命試験（ランダム故障率）、限界試験、環境試験であります。代表製品以外は主な電気的特性や少量のサンプルによる信頼性試験を行います。代表的なメモリ製品における製品認定試験の一例を表3-2-1-1 に示します。

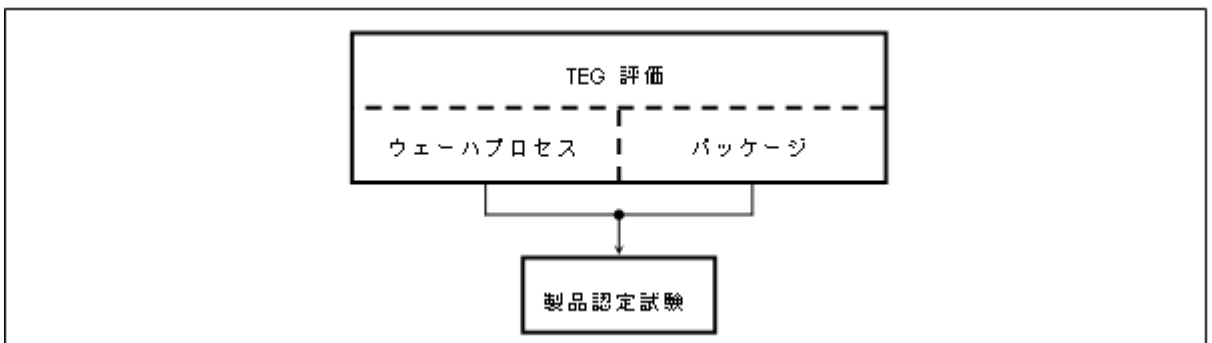


図3-2-1-1 製品認定試験の手順

第三章 信頼性試験

表3-2-1-1 代表的なメモリ製品における製品認定試験の一例

1. チップ信頼性試験（例）

試験項目	試験条件	備考
高温連続動作試験 (High Temperature Operation)	125°C、最大動作保証電圧または加速電圧印加	1,000 時間実施
高温放置 (High Temperature Storage)	150°C	1,000 時間実施
低温連続動作 (Low Temperature Operation)	-40°C、最大動作保証電圧 または、加速電圧印加	1,000 時間実施

2. パッケージ信頼性試験（例）

試験項目	試験条件	備考
HAST (High Accelerate Stress)	110°C/85%RH、最大動作保証電圧印加	264時間実施
温度サイクル (Temperature Cycling)	1サイクル (-55°C、20分) → (+125°C、20分)	700サイクル実施

3. フラッシュメモリ信頼性（例）

試験項目	試験条件	備考
書換え試験 (Write/Erase Endurance)	Tc = 85,25°C Write/Erase : 書換え仕様回数	-
データ保持試験 (Data Retention)	前処理: Write/Erase (Tc = 85/55,25°C) Ta = 125°C/25°C	100,10/500 時間実施
リード・ディスタ urb試験 (Read Disturb)	前処理: Write/Erase (Tc = 25°C) Tc = 25°C	100k/10k回読み出し実施

第三章 信頼性試験

3-2-2. 量産工程での信頼性モニタ

製品認定試験に合格したものは、出荷時に、その出荷ロットに対する初期品質保証検査を行います。さらに、出荷製品の信頼性レベルを確認するために定期的な信頼性モニタを行います。初期品質保証検査は、製品の初期的な電気的特性、外観検査などを行い、製品の製造ロットごとにその品質を確認し、出荷品質を保証するためのものです。

定期的な信頼性確認は、信頼性モニタと呼ばれ、プロセスやパッケージのファミリー単位で寿命試験、環境試験などを行います。絶えず信頼性レベルを監視し、故障解析を行い製造工程にフィードバックするとともにデータを蓄積し、信頼性の維持向上を図っています。

第三章 信頼性試験

3-3. 加速寿命試験

3-3-1. 加速寿命試験の目的

部品や装置の高信頼化に伴って寿命や故障率の早期予測が必要になっています。信頼性試験は実装を想定して、半導体製品が受ける可能性のあるストレスをシミュレートした試験条件で行いますが、条件によっては故障発生までに非常に長時間を要するか、あるいは限られた試験時間内では故障が発生しないことがあります。このため実使用条件に比べて厳しいストレスを加え、劣化原因を物理的、時間的に加速することにより、寿命予測、故障率予測および故障メカニズム解析など評価時間の短縮とメカニズムの詳細解析の目的として行う試験が加速寿命試験です。

加速寿命試験は、一定のストレスを強制的に加速させる強制劣化試験として表現される場合もあります。また限界値を求めるためのストレスを加速させた限界試験として表現する場合もあります。

加速寿命試験で注意しなければならないのは加速によって実用条件と異なった故障メカニズムが生じやすいことです。一般に劣化メカニズムが単純であれば加速も簡単であり、寿命や故障率の予測も比較的正確に行えますが、実際には多くの故障メカニズムが混在していて、それらを同時に加速しようとしても、ストレスの影響を受ける度合いがそれぞれ異なるので、加速データの解析はもちろん、寿命や故障率の予測は困難になってきます。したがって加速寿命試験法は、できるだけ故障メカニズムが変化しない試験条件または故障メカニズムが少なく単純化しやすい試験条件を選定することが肝要となります。

第三章 信頼性試験

3-3-2. 定ストレス加速とステップストレス加速

加速寿命試験には、試料に加えるストレスを一定とし、複数水準のストレスに対して試験を実施し、故障時間の分布を観測する定ストレス法、試料に加えるストレスをある一定時間ごとにステップ状で増加させ、どのステップのストレスで故障が発生するかを見るステップストレス法があります。

定ストレス法の代表的な方法は、電力または周囲温度を最大定格以上の一定のストレスを加えることで加速を行う方法です。この試験で故障モードが変わっていないことの検証にはワイブル分布がしばしば使用され、ワイブル分布の形状パラメータ m が加速ストレスによって変わらないことで加速の妥当性がチェックされます。

図3-3-2-1はシリコントランジスタの消費電力を変化させたときのワイブルプロットで、パラメータ m は消費電力にかかわらず一定であることを示しています。

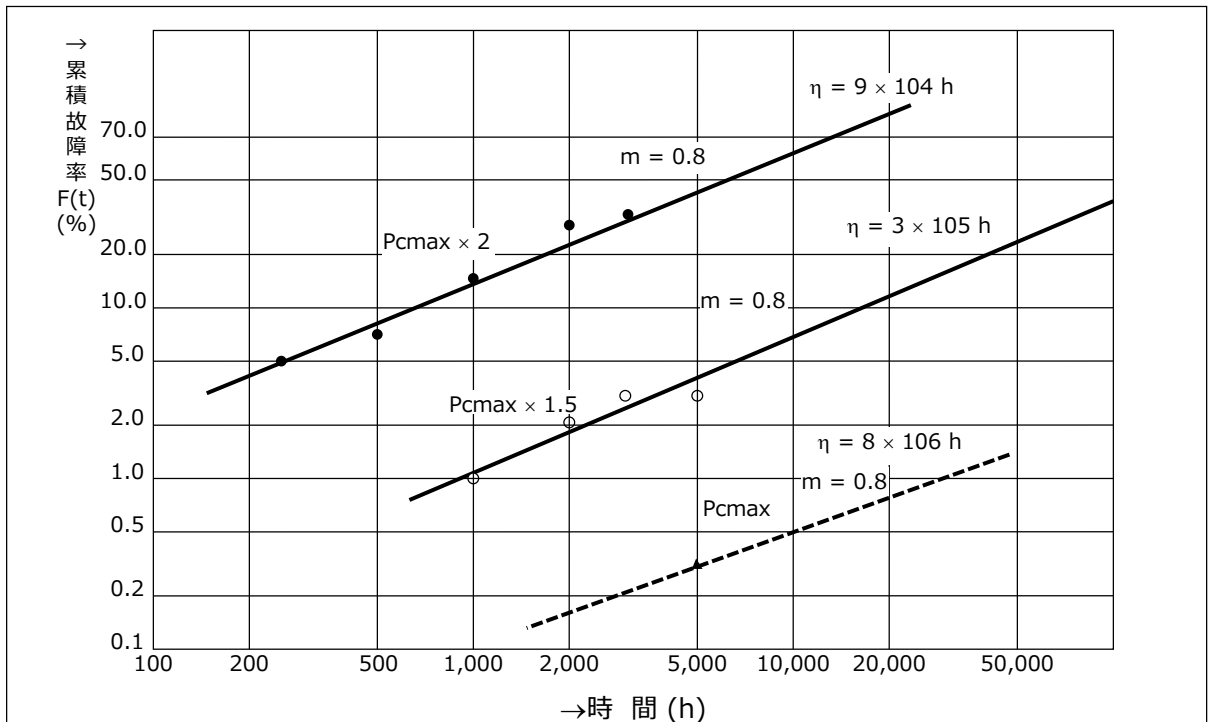


図 3-3-2-1 トランジスタの加速寿命試験におけるワイブル分布と形状パラメータ

第三章 信頼性試験

これらは定ストレス法、ステップストレス法に共通して成立する必要があるといえます。

このためステップストレス法の場合、少なくとも1つの定ストレスの故障データが有り、以前のステップの故障モードと同一であれば、その素子の限界温度や寿命予測をすることができます。一例を図3-3-2-2に示します。

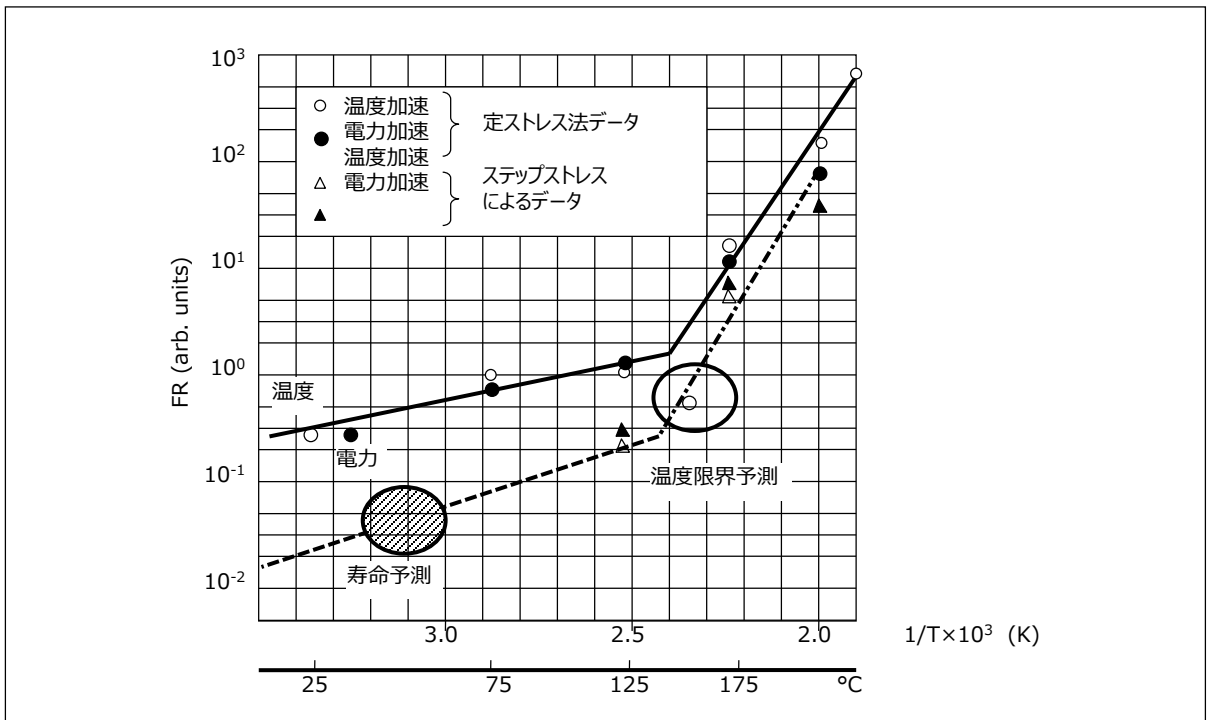


図 3-3-2-2 ステップストレスからの故障率予測

第三章 信頼性試験

3-3-3. 温度による加速

加速寿命試験は故障物理と密接な関係にあり、一般的に半導体製品劣化の物理的、化学的な反応には反応速度論モデルが用いられます。反応速度論モデルは温度依存性に対する基本的な化学反応モデルであり、半導体製品に対する温度ストレスによる故障（寿命）の依存性はアレニウスモデル¹⁾として加速寿命試験などに広く利用されています。反応速度定数をKとしたときのアレニウスモデル式を示します。

$$K = A \exp\left(-\frac{E_a}{kT}\right)$$

E_a : 活性化エネルギー (eV)
 k : ボルツマン定数 (SI単位系では 1.3807×10^{-23} [J/K]ですが、ここでは 8.6173×10^{-5} [eV/K]を使用します。)
 T : 絶対温度 (K)
 A : 定数

ここで、ある劣化量Bに達したときを寿命と考えると、
寿命Lは $L = B/K$ で表され、 $B/A = A'$ とすると

$$L = A' \exp\left(\frac{E_a}{k} \cdot \frac{1}{T}\right)$$

となります。この式は温度と寿命の関係を表しており、故障メカニズムが単一であれば図3-3-3-1に示すように $\ln L$ と $1/T$ は直線にプロットすることができます。つまり、温度 T_1 と温度 T_2 との間には、 $(\ln L_1 / \ln L_2)$ 倍の加速があることを示しています。

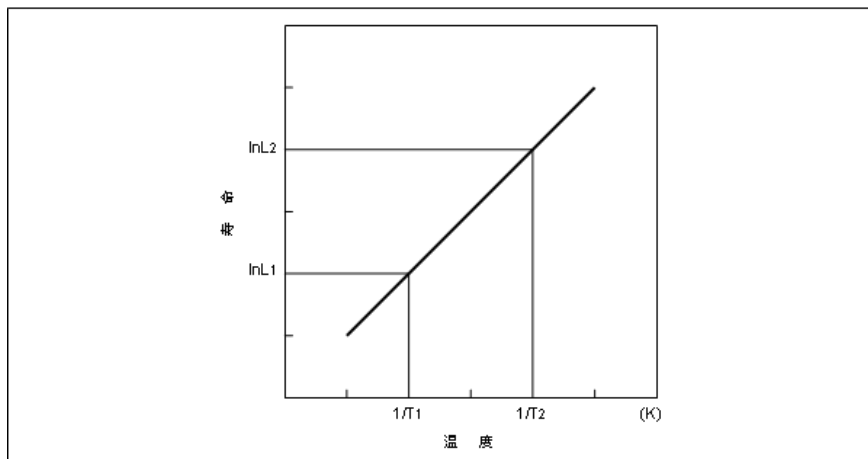


図 3-3-3-1 寿命と温度との関係

第三章 信頼性試験

加速係数を α とし、温度 T_1 、 T_2 に対する寿命時間をそれぞれ L_1 、 L_2 とすると、加速係数 α は次式で求めることができます。

$$\alpha = \frac{L_2}{L_1} = \exp\left\{\frac{E_a}{k} \cdot \left(\frac{1}{T_2} - \frac{1}{T_1}\right)\right\}$$

Ea: 活性化エネルギー (eV)
k: ボルツマン定数
T1, T2: 絶対温度 (K)

活性化エネルギーと各温度での加速係数の関係を図3-3-3-2に示します。また、温度による加速性はアレニウスの式からも分かるように、活性化エネルギーEaによって大きく変わります。温度差をパラメータとしたときの各活性化エネルギーと加速係数の関係を図3-3-3-3に示しますが、活性化エネルギーが大きくなるに従い温度依存性が大きくなることが分かります。

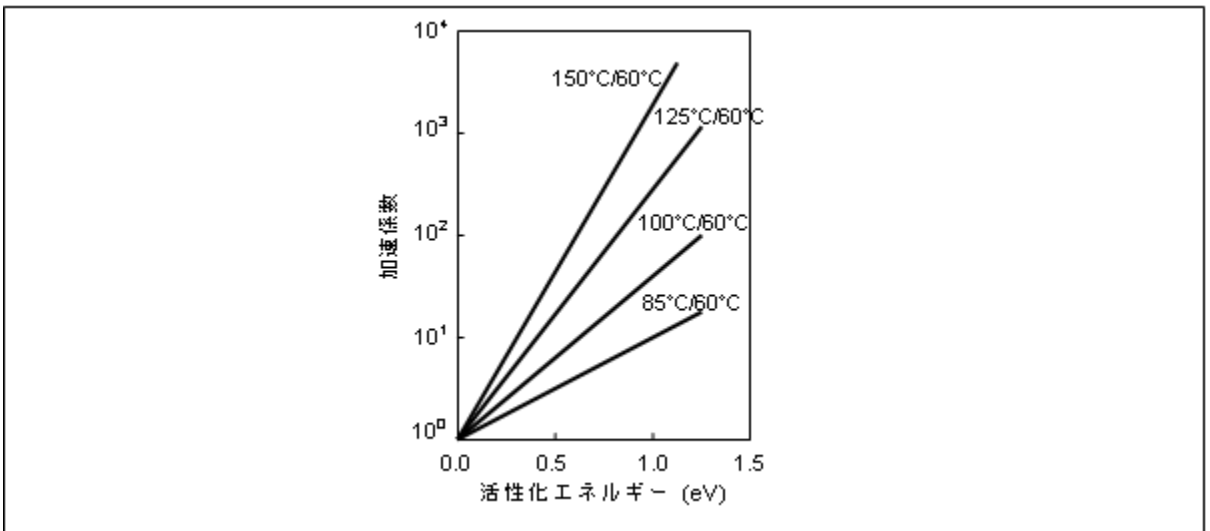


図 3-3-3-2 活性化エネルギーと加速係数の関係

第三章 信頼性試験

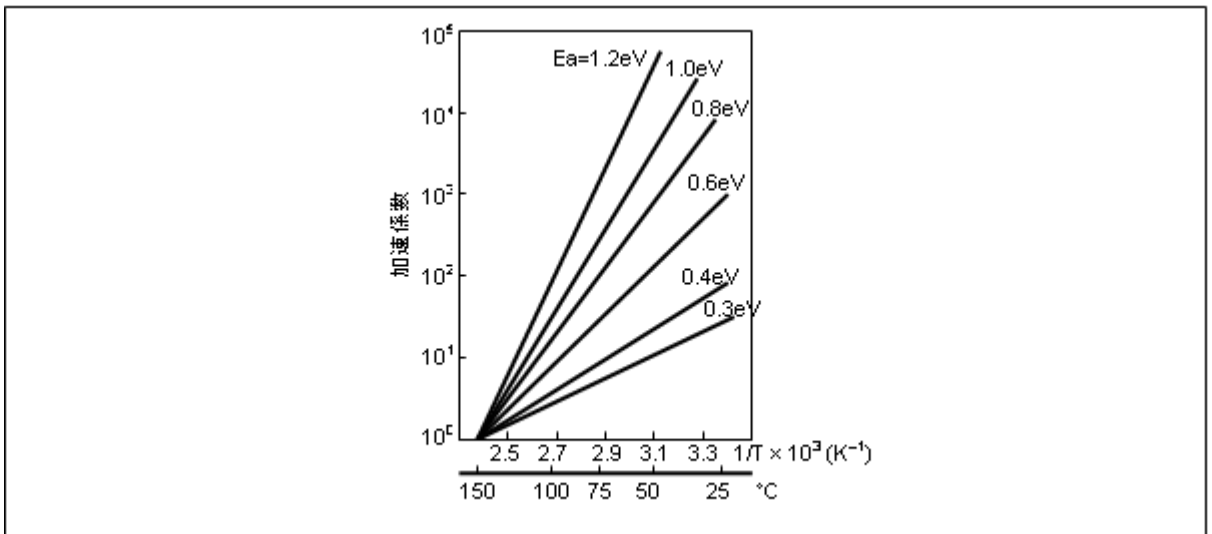


図 3-3-3-3 活性化エネルギーをパラメータとしたときの温度と加速係数の関係

半導体製品における温度vs 寿命または故障率の関係は、従来から数多くのデータが公表されています。当社で実施した実験データ例を次に示します。

(1)ボンディングワイヤの金属間化合物生成の温度加速性

ボンディングワイヤに使用されるAu線とパッド配線に使用されるAlとの接合部は、温度を上げていくことで金属間化合物が生成し、接触抵抗の増加およびオープン状態に至ることがあります。高温放置試験の結果から温度と寿命との関係を図3-3-3-4に示します。

いくつかの温度条件における寿命の値から、活性化エネルギーは約1.0eVであることが求められます。

第三章 信頼性試験

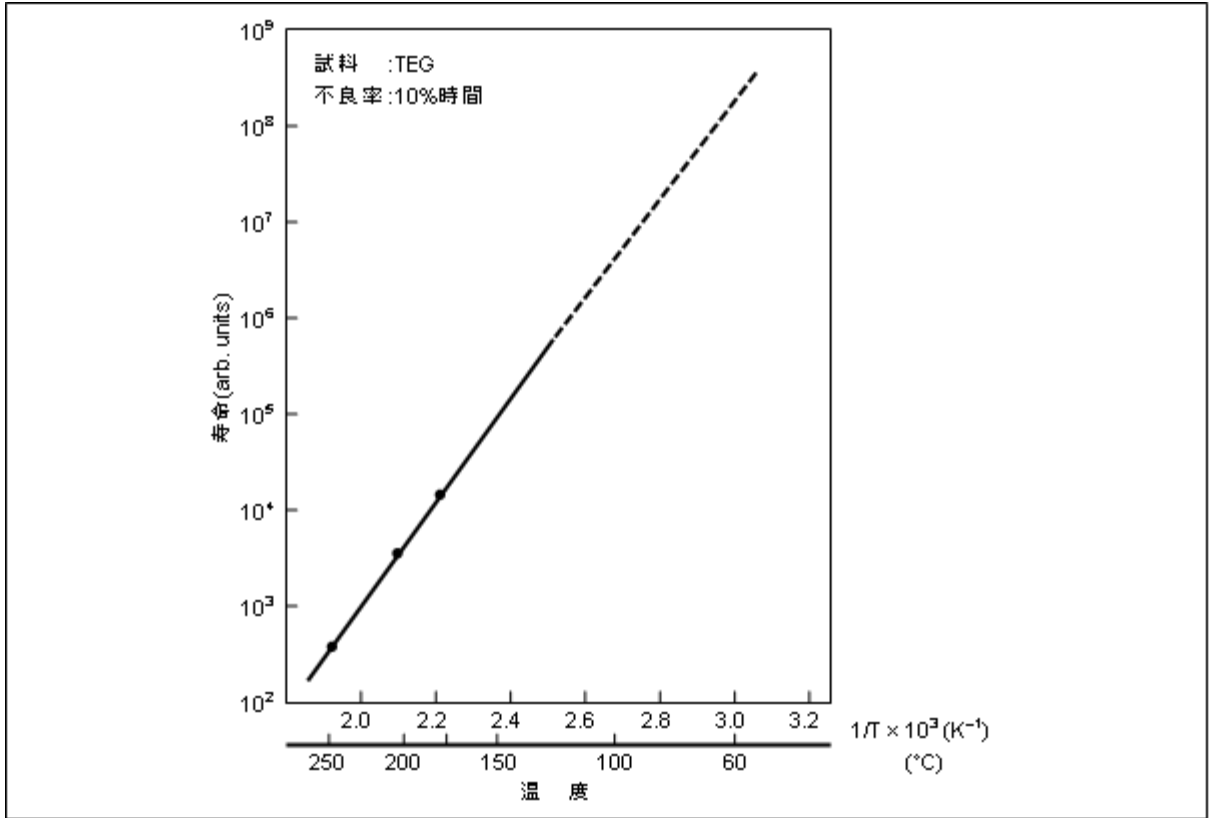


図 3-3-3-4 ボンディングワイヤの金属間化合物生成の温度依存性

第三章 信頼性試験

(2)半導体製品別の温度加速

半導体製品の温度 vs 故障率の関係は様々なデータが報告されています。図3-3-3-5は実験から得られたデータの一例ですが、温度に対する各デバイスの加速率を与えるものです。

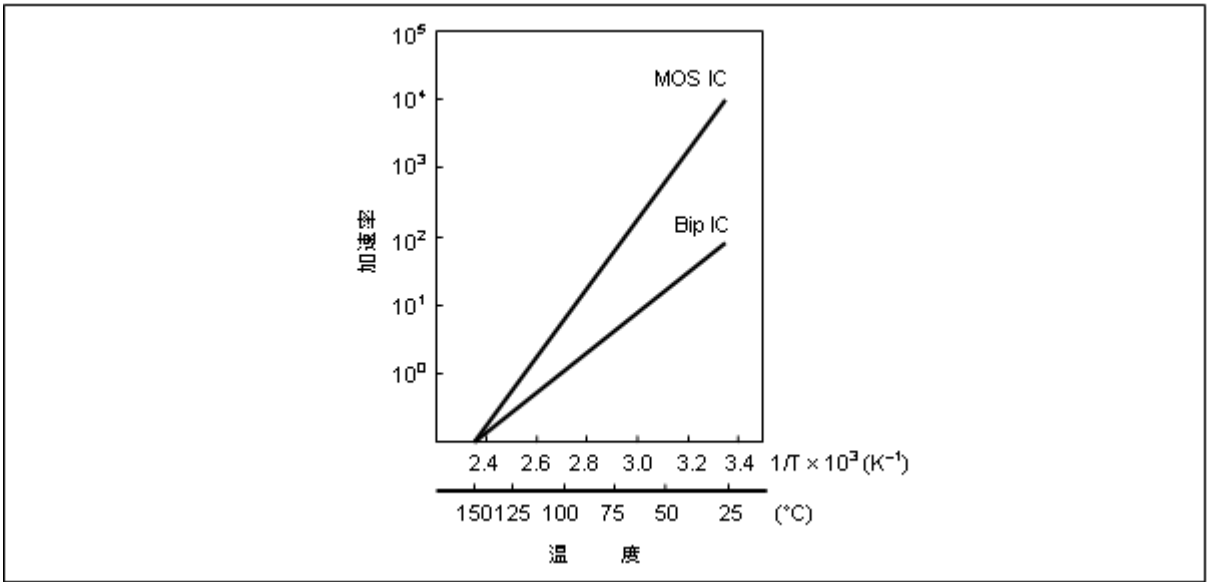


図 3-3-3-5 デバイスの温度加速性の一例

故障メカニズムの違いで、その活性化エネルギーの値が異なります。社内外の実験データから代表的な故障メカニズムと活性化エネルギーの値を表3-3-3-1に示します。

表 3-3-3-1 デバイスの温度加速性の一例

故障モード	故障メカニズム	活性化エネルギー (eV)
メタル配線故障 (オープン、ショート、腐食)	Al系配線のエレクトロマイグレーション	0.4~1.2
	Al系配線のストレスマイグレーション	0.5~1.4
	Au-Alの合金の成長	0.85~1.1
	Cu配線のエレクトロマイグレーション	0.8~1.0
	Alの腐食 (水分の侵入)	0.6~1.2
酸化膜耐圧 (絶縁破壊、リーク電流増加)	酸化膜の破壊	0.3~0.9
h_{FE} の劣化	水分によるイオン移動の加速	0.8
特性値変動	NBTIによる変動	0.5~
	SiO ₂ 中のNaイオンのドリフト	1.0~1.4
	Si-SiO ₂ 界面のスロートラッピング	1.0
もれ電流の増加	反転層の生成	0.8~1.0

注: 上記数値は、各Siプロセス世代および詳細構造によって異なる値が得られています。これらの数値は実際に取得した結果および報告事例をまとめたものです

第三章 信頼性試験

ここまで温度加速性アレニウスモデルについて説明してきましたが、温度加速性以外に湿度、電圧、機械的ストレスなどの影響についても考慮した故障モデルにアイリングモデルがあります。平均寿命をLとすると温度およびストレスの関係は次の式のように示されます。

$$\ln L = A + \frac{B}{T} - \alpha \ln S$$

L: 平均寿命

A, B, α : 定数

T: 温度 (K)

S: 温度以外のストレスの関数

第三章 信頼性試験

3-3-4. 温湿度による加速

3-3-4-1. 耐湿性試験の種類

最近の半導体製品のパッケージ（外囲器）はほとんどがプラスチック樹脂です。これらの信頼度は耐湿性に依存するところが大きく、またこれを早期に評価するために数多くの耐湿性評価が考えられています。表3-3-4-1に耐湿性評価試験方法の一例を示します。

試験は半導体製品を湿度中に放置するものと、湿度を与えながらあるいは半導体製品に十分湿度を拡散させた後にバイアスを印加するバイアス印加方式の2つに分けられます。半導体製品の種類（消費電力の大小など）や目的とする故障メカニズムの抽出によって使い分けられています。

耐湿性試験は加速し過ぎたり、試験の実施方法によっては実使用とは異なった故障モードが現れたり、試験の再現性などに問題が生じる場合があります。よって試験実施にあたっては十分注意する必要があります。特に、飽和型のプレッシャークッカー試験では結露する状態で半導体製品がさらされる場合があるため、実市場では起こりえない不良モード（アウターリードのピン間マイグレーションなど）が発生することがあり、評価する場合または得られた結果に対する判断には注意が必要です。

また、最近の半導体製品は面実装製品（SMD: Surface Mounted Devices）が主流であり、小型化、薄型化が一段と加速しています。このような半導体製品の場合、実装時における熱ストレスおよび保管時の樹脂の吸湿が無視できない状況となってきています。実使用状況を正しくシミュレートするために実装ストレスの印加を前処理として行い、耐湿性試験を実施しています。

第三章 信頼性試験

表 3-3-4-1 主な耐湿性評価試験方法

	試験項目	条件の一例
放置試験	高温高湿保存試験	85°C/85% RH 60°C/90% RH
	Unbiased HAST	110°C/85% RH
バイアス印加	高温高湿バイアス試験	85°C/85% RH +バイアス印加
	HAST	130°C/85% RH +バイアス印加 110°C/85% RH +バイアス印加

3-3-4-2. 耐湿性の加速モデル

耐湿性試験データを用いてプラスチック(樹脂)封止半導体デバイスの信頼性を予測する加速モデルは数多くの報告がされていますが、ここでは絶対水蒸気圧モデルについて説明します。絶対水蒸気圧モデル²⁾では寿命と絶対水蒸気圧の関係は次の式のように表され、加速係数nは実験から約2.0のデータが得られています。

$$L = A \cdot V_p^{-n}$$

L: 耐湿性寿命 (h)

Vp: 絶対水蒸気圧 (Pa)

n: 加速係数

A: 実験定数

第三章 信頼性試験

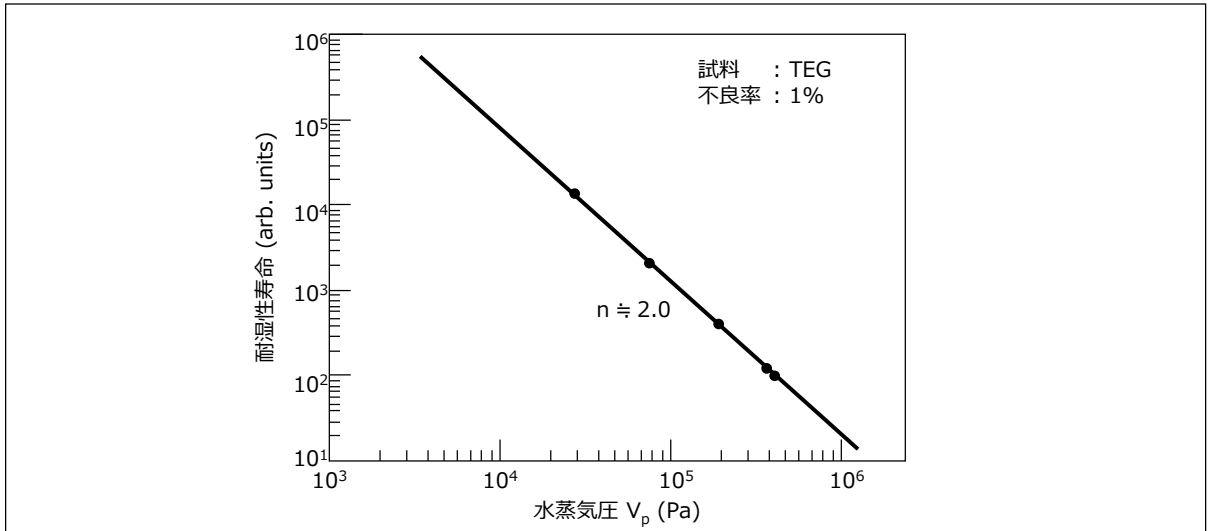


図 3-3-4-1 絶対水蒸気圧と耐湿性寿命との関係の一例

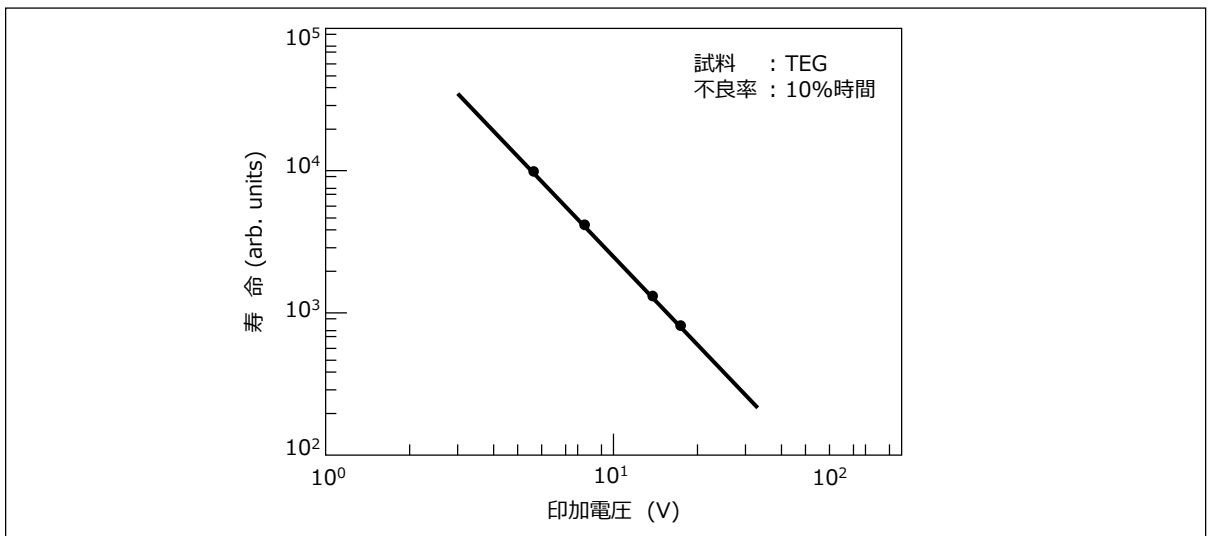


図 3-3-4-2 耐湿性試験の印加電圧と寿命の関係の一例

図 3-3-4-2は耐湿性試験の印加電圧と寿命の関係の一例です。
市場の耐湿性寿命を予測したい時、温度、相対湿度、電圧印加条件と不良メカニズムを考慮することによって、加速試験の結果から寿命を推定することができます。

第三章 信頼性試験

3-3-5. 電圧による加速

電圧で加速される不良は、酸化膜破壊、ホットキャリア現象、Alコロージョン、可動イオンによる特性劣化など様々なモードがあります。その中でも電圧加速が最も顕著に現われる不良酸化膜破壊があります。酸化膜に一定の電界を印加し続けると、酸化膜にかかる電界が破壊限界より低い値であっても時間に依存した破壊が起こります。

時間に依存した酸化膜破壊 (TDDB: Time Dependent Dielectric Breakdown) に対する電圧加速モデル³⁾は、E-model (Vg-model) 、1/E-model、Power-Low modelの4つのモデルが提案されています。TDDB寿命は厚い酸化膜 (膜厚5 nm以上) に対しては故障時間をTF、酸化膜にかかる電圧をVとすると、次式で表せます。電界に依存する事例も得られていて、その場合は電圧を電界に置き換えて計算する事が出来ます。

$$T_F = A \exp(-\beta_V \cdot V)$$

あるいは

$$T_F = A \exp(-\beta_E \cdot E)$$

TF: 故障時間

V: 酸化膜にかかる電圧

E: 酸化膜にかかる電界

A: 定数

β_V : 電圧加速係数

β_E : 電界加速係数

電界に依存する場合を例にとると、条件がE1とE2のときの故障時間をそれぞれTF1、TF2とすれば、加速率 A_F は、

$$A_F = \frac{T_{F2}}{T_{F1}} = \exp\{-\beta_E(E_2 - E_1)\}$$

となります。

また、酸化膜が薄膜になってく場合は次式 (Power-Low model) で表せます。

$$TF = A * V^{-n}$$

TF: 故障時間

V: 酸化膜にかかる電圧

A: 定数

n: 電界加速係数

第三章 信頼性試験

TDDDBの試験方法としては

- (1) 定電圧試験
- (2) ステップストレス試験
- (3) 定電流試験

の3つが代表的なものです。それぞれの試験方法をまとめると次のようになります。

(1)定電圧試験

酸化膜に一定電圧のストレスを加え時間に対する破壊分布を評価するものです。一般にTDDDB寿命分布は、ばらつきが大きく、電圧依存性も大きいいため、この評価では、結果が出るまで非常に時間がかかったり全体の不良分布が明確にならないなどの問題があります。これらの問題に対応するための定電圧試験のひとつにステップストレス試験があります。

(2)ステップストレス試験

酸化膜の印加電圧を一定時間ごとに一定電圧だけ増加させて測定し、どこで破壊するかを評価するものです。この試験は短時間で結果を出すことができ、TDDDBの加速式を使って酸化膜の寿命分布の全体を知ることができます。

(3)定電流試験

酸化膜が破壊するまでに膜中を通り抜ける電荷量は一定値であるとの理論⁴⁾に基づき、ストレスとして一定電流を流して評価するものです。実使用条件は電圧または電界強度で表されているため、酸化膜の寿命推定に本評価はあまり用いられません。

しかし、データが規格化されて得られるため、一般的には膜質の評価用として使われています。

第三章 信頼性試験

次に当社で実施した定電界試験によるデータを図3-3-5-1に示します。これは当社製品で使用されている酸化膜のデータの一例ですが、この製品の酸化膜の電界強度は3.125 MV/cmのため、実使用における酸化膜の寿命は10年以上あるといえます。このように加速試験の結果から市場における酸化膜の寿命を推定することができます。

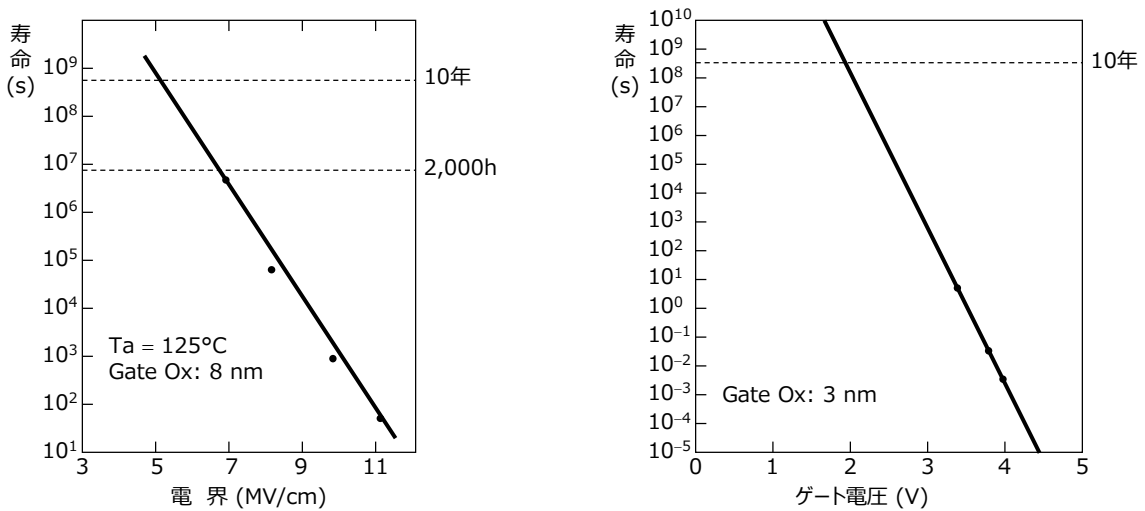


図 3-3-5-1酸化膜の定電界試験結果の例

第三章 信頼性試験

3-3-6. 温度差による加速

外部環境あるいは自己発熱による繰り返し熱応力のストレスに対する試験として、温度サイクル試験と熱衝撃試験があります。これは半導体製品に低温、高温の繰り返し温度変化を与え耐性をみるためのものであり、この試験で起こる不良モードはボンディングオープン、アルミスライド、パッシベーションクラック、パッケージクラック、チップクラック、特性変動 (ピエゾ効果) などです。

温度サイクル試験は熱の媒体として気体、熱衝撃試験は液体を用いています。温度サイクルの試験条件は、一般的に半導体製品の保存温度の上限と下限に繰り返しさらすこととなっています。加速性を高めるために保存温度の上限、下限を越えた試験条件を決める場合がありますが、この場合製品材料の物性値の異なる領域で試験することは、実使用上の加速性が得られない場合があります、注意する必要があります。

次に当社で実施した温度サイクル試験結果から求めた温度差とサイクル数の関係を図3-3-6-1に示します。温度サイクル試験の結果から次式が得られています。

$$N = A \cdot \Delta T^{-\alpha}$$

A: 定数

α : 加速係数

N: サイクル数

この試験結果より、アルミスライドの不良モードで $\alpha = 7.5$ 、パッケージクラックの不良モードで $\alpha = 5.0$ の値が得られています。これらの加速係数より市場における寿命を推定することができます。

第三章 信頼性試験

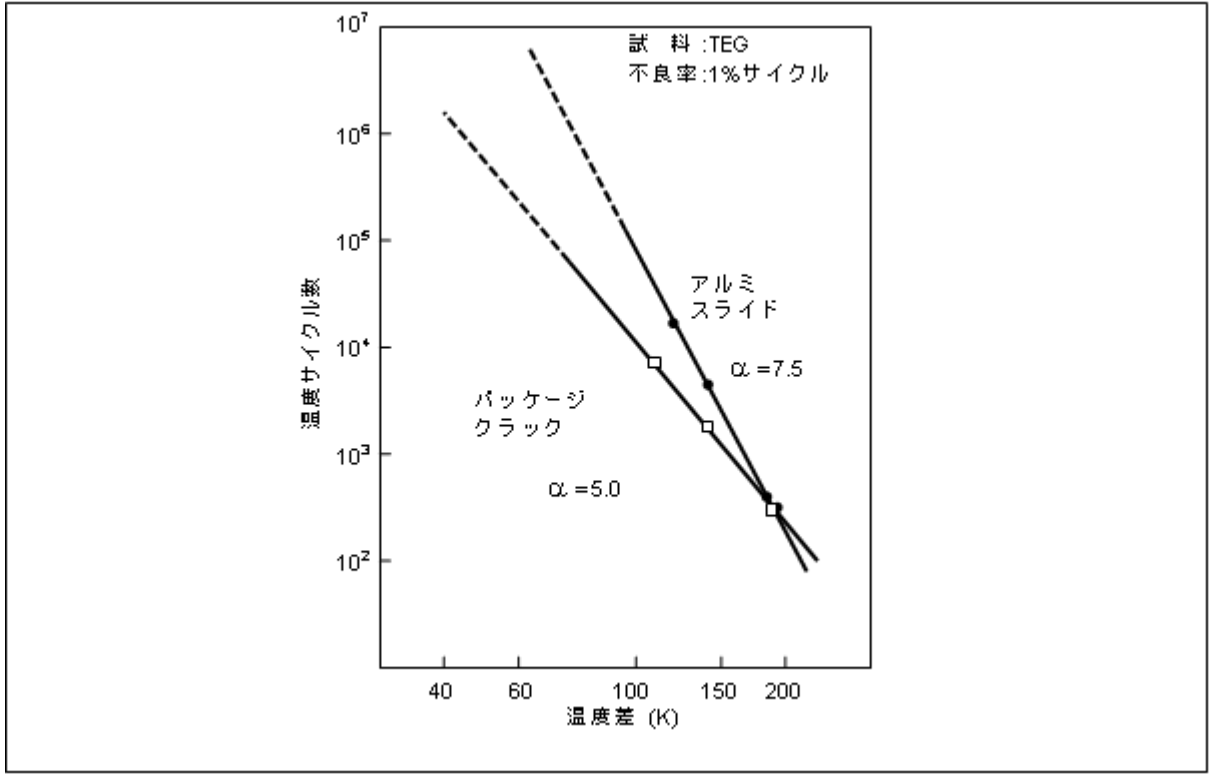


図 3-3-6-1 温度サイクル数と温度差との関係

第三章 信頼性試験

3-3-7. 電流による加速

電流による加速モードとしてはエレクトロマイグレーションが最もよく知られており、デバイスの微細化、大規模化に伴い、さらに重大な故障メカニズムとなってきております。⁵⁾⁶⁾エレクトロマイグレーションが発生するメカニズムは、配線に電流を流したときに配線材料である金属原子が輸送される現象で、金属原子が移動し進行すると断線に至るものです。エレクトロマイグレーション寿命は、一般にMTF (メジアン故障時間; Median Time to Failure) で表されており、次の式⁷⁾で表されます。

$$MTF = AJ^{-n} \exp\left(\frac{E_a}{kT}\right)$$

J: 電流密度

n: 電流に関する定数

E_a: 活性化エネルギー

T: 絶対温度

k: ボルツマン定数

A: 配線の材質、構造、寸法などに関する定数

試験法としてはDC定電流ストレス試験が最も一般的ですが、DCパルス電流ストレス試験、ACパルス電流ストレス試験、DC定電圧ストレス試験があります。

第三章 信頼性試験

次に当社で実施したエレクトロマイグレーションの実験データについて説明します。図 3-3-7-1に電流密度と寿命の関係について示します。電流密度が大きいほど、寿命が短いことが分かります。

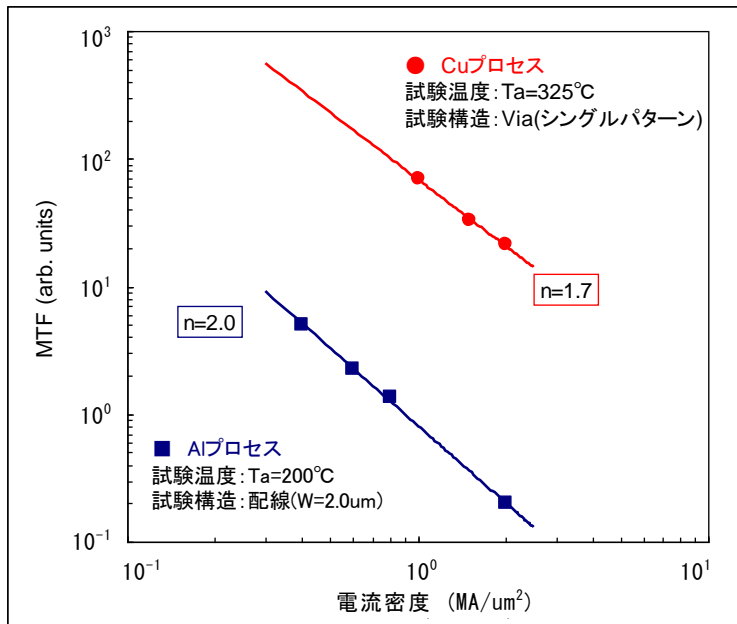


図 3-3-7-1 エレクトロマイグレーション寿命との電流密度の関係例

第三章 信頼性試験

[参考文献]

- 1) 塩見弘「故障物理入門」日科技連出版社、1970
- 2) J.L Flood 「Reliability aspects of Plastic encapsulated integrated circuits」 10th IRPS, 1972
- 3) E.S.Anolick and Li-Yu Chen「Application of stress to Time Dependent Breakdown」19th annual Proc. Rel. Phys. (1981)
- 4) In-Chin Chen, S.E.Hollard, and C.Hu
「Electrical Breakdown in Tunneling Oxides」IEEE
TRANS.ED.VOL.32 (1985)
- 5) C.Ryu, et al, " Effects of Texture on Electromigration of CVD Copper" Proc. IRPS (1997),
- 6) S.Yokogawa, et al, "Electromigration Induced Incubation, Drift and Threshold in Single-Damascene Copper Interconnects" Proc. IITC (2002)
- 7) J.R.Black「Electromigration Failure Modes in Aluminum Metallization for semiconductor Devices」Proceeding of the IEEE (1969)

第四章 故障解析

4-1. 故障解析の意義

これまで述べてきたように半導体製品は、多岐にわたる信頼性要因を含んでいるため、その故障となる原因、メカニズムも複雑です。当社では、工程中に発生したトラブルや市場不良などはもとより、信頼性を左右する諸要因に対する原因究明を徹底的に行い、その積み上げられた膨大な解析結果を基に、半導体の製造にあたっては信頼性管理に万全を期しています。それでもなお故障発生を完全になくすることが不可能なのが現状です。このため、故障が発生した場合には、故障原因を明確にするために、故障解析を行い、ただちに対応するように心がけています。

故障は、プロセス中に発生するもの、評価試験中に発見されるもの、あるいは市場において時間や環境に依存して発生する場合などがあり、故障解析はこれらすべてに対して行われます。

また、故障解析は単に故障品の故障原因やメカニズムを究明するだけでなく、プロセスの初期段階から信頼性に影響をおよぼすパラメータを抽出し、それを制御するために、種々の化学分析や物理解析が行われ、その結果はプロセス条件の決定や工程管理技術の開発などに応用されており、半導体生産技術の重要な技術分野となっています。

故障解析において、故障原因、メカニズムを正しく解明するためには、綿密な解析手順に従って、種々の解析装置を駆使して解析が行われなければなりません。そのため、物理・化学などの幅広い視野に立った解析技術と経験、さらには半導体そのものに関する物理的理解が要求されます。

故障解析にあたっては、以下の点を常に考慮しておく必要があります。

(1) いつ、どこで、どのように使ったら、どのような故障の症状を示したか。また、それは再現できるか (故障モード)

第四章 故障解析

- (2)どのようなストレスが、どこに加わり、どの部位が故障したか (故障メカニズム)。
- (3)同一の故障が、市場において発生したことがあるか。また、故障のモデル化によりどの程度の確率で発生するか、予測できるか (統計解析)。
- (4)信頼性に敏感な工程パラメータの管理技術を開発し、工程へのフィードバックを図ることにより、適確な対策を施し不良の再発を防止する。
- (5)理想的には、故障解析手法を活用し、徹底した信頼性管理により、評価試験をしないで製品の信頼性を推定、把握できるようにする などです。

第四章 故障解析

4-2. 故障解析に用いられる装置

半導体製品における故障解析では、電気的特性測定による解析以外に、故障部位の発見、メカニズム解析のため、場合によってはnmオーダーから数 μ mオーダーの領域が観察でき、かつ、高精度・高感度で分析できる装置が必要になります。表 4-2-1に故障解析に用いられる実用性の高い装置をまとめました。

表4-2-1 故障解析に用いられる装置

	装置	解析用途
電気的特性	カーブトレーサ オシロスコープ テスタ ナノプローブ装置	耐圧、リーク ファンクション、AC特性 DC特性、AC特性、ファンクション 単体素子特性評価
故障箇所特定	エミッション顕微鏡 (PEM) 走査型レーザ顕微鏡(OBIC法/OBIRCH法) EBテスタ解析 (Voltage Contrast)	発光箇所の検出 動作解析 動作解析
観察用	実体顕微鏡 金属顕微鏡 赤外顕微鏡 走査型プローブ顕微鏡 (SPM) 走査型容量顕微鏡 (SCM) 走査型原子間力顕微鏡 (AFM) 走査型電子顕微鏡 (SEM) 透過型電子顕微鏡 (TEM) X線透視 超音波探傷装置 X線CT	外観 チップ観察 チップ裏面からの観察 表面形状・特性等の観察 表面キャリア濃度の観察 表面形状の観察 形状観察 微小構造解析 内部観察 剥離、ボイドの検査 材質、構造の調査
分析用	X線マイクロアナライザ (EPMA) オージェ電子分光 (AES) 2次イオン質量分析装置 (SIMS) 飛行時間型2次イオン質量分析装置 (TOF-SIMS) X線光電子分光 (XPS) 蛍光X線分析 蛍光顕微鏡 フーリエ変換赤外分光 (FT-IR) 電子線回折 X線回折 熱分析 放出ガス分析	元素分析、組成分析 表面元素分析、状態分析 元素同定、表面元素分析 元素・分子同定、最表面分析 表面元素分析、状態分析 不純物分析、組成分析 蛍光体分析 状態分析 結晶性分析 結晶性分析、応力測定 材料分析 材料分析
その他試料加工	集束イオンビーム装置 (FIB) 精密研磨装置 イオンリング装置	試料加工 試料加工 試料加工

第四章 故障解析

4-2-1. 電気的特性測定

一般にオープン、ショート、耐圧劣化などを調べるには、カーブトレーサや、I-V特性の測定できる装置が用いられます。また、AC特性の簡単なチェックはオシロスコープが手軽です。

テストは、LSI用の大型汎用テスト、メモリテスト、リニアICテストなどデバイスによって使い分けられます。テストによる測定は、規格値との比較により、故障を診断したり、回路上の故障部位の推定に用いられます。

4-2-2. 故障箇所の特定

故障解析を行う上では、まず故障箇所を特定することが重要です。故障箇所特定法としては以下に示すような方法が実用化されています。

チップ内温度分布異常の発見には赤外線検出装置、微小リークの検出には微弱発光を検出するエミッション顕微鏡が利用されています。

また、動作状態の解析では、PN接合部の電位状態の解析法として、電子顕微鏡を用いたEBIC法、走査型レーザー顕微鏡を用いたOBIC法もしくはOBIRCH法、配線の電位状態を解析するEBテストを用いたVoltage Contrast法が利用されています。

4-2-3. 観察

故障部位の発見、観察には、金属顕微鏡、実体顕微鏡のほかに、走査型電子顕微鏡 (SEM)、透過型電子顕微鏡 (TEM) が不可欠です。その他に赤外顕微鏡、X線透視装置なども重要な情報を与えてくれます。また、原子レベルの情報まで得られる走査型トンネル顕微鏡 (STM) や、原子間力顕微鏡 (AFM) なども活用されています。

第四章 故障解析

4-2-4. 元素分析¹⁾

半導体の故障解析では、特に固体表面分析が有力な手段となります。固体表面分析の原理は一般的には、図 4-2-4-1に示すように、励起源として電子ビーム、イオンビームおよび電磁波 (X線など) を固体表面に照射し、そこから出てくるX線、二次イオン、オージェ電子などを信号源にして、その部分の表面 (あるいはバルク) の元素分析、状態分析を行う方法です。

表 4-2-4-1は固体表面分析法 (装置) の特徴をまとめたものです。表の中で特に頻繁に用いられる装置としては、X線マイクロアナライザ (EPMA)、オージェ電子分光装置 (AES)、二次イオン質量分析計 (SIMS)、X線光電子分光 (XPSまたはESCA)、蛍光X線分析装置などの装置でその分析領域、感度を考慮して、用途に応じて使い分けます。

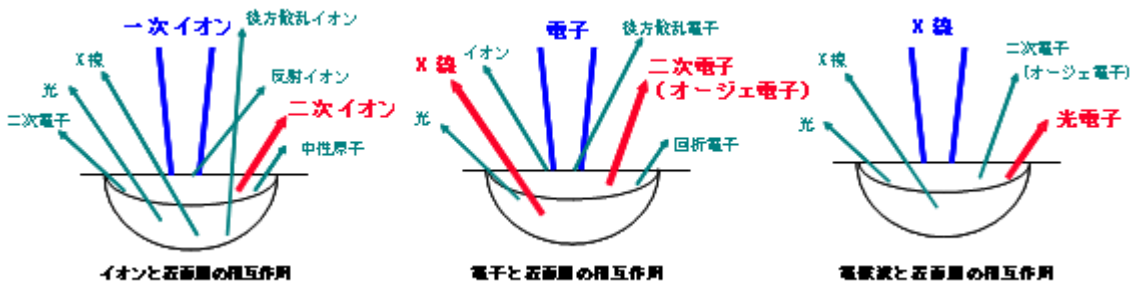


図4-2-4-1 イオン、電子、光子 (X線) と固体表面の相互作用の模式図

第四章 故障解析

表4-2-4-1 表面物理分析法の比較

励起源	信号源	分析技術	得られる情報	特徴その他
電子	反射1次電子	低速電子エネルギー損失スペクトル (LEELS)	吸着状態	数eVの低エネルギー電子を使う 吸着分子の振動状態がわかる
	オージェ電子	オージェ電子分光 (AES)	元素分析、結合エネルギー 化学効果による状態分析	3~20 keV程度の電子線を使う。 数10 nm以下のビームによる表面分析も可能
	イオン	電子衝撃離脱法	吸着物の元素分析	微小電流で表面衝撃し吸着イオンを脱離させ質量分離
	特性X線	X線マイクロアナライザ (EPMA)	微量元素分析	微小部分分析では常用されている。検知深さは1 mm程度
	光	カソードルミネセンス	電子線励起電子-正孔再結合の発光	欠陥、析出物、不純物析出、キャリア拡散層の測定
イオン	反射イオン	イオン散乱エネルギースペクトル (ISS)	表面最外層の原子構造、元素分	低速イオン (100 eV~数keV) を用い、散乱してくる1次イオンのエネルギー分離を行う
	後方散乱イオン	ラザフォード後方散乱 (RBS)	組成、元素分析、深さ方向分布	数百eV~数MeVのH ⁺ , He ⁺ を用い、後方散乱されたイオンのエネルギーを測定する
	2次イオン	2次イオン質量分析 (SIMS)	微量分析、深さ方向分布	薄膜、表面分析、バルクの微量分析、深さ方向の濃度分布
	特性X線	粒子線励起X線分析 (Particle Induced X-Ray Emission)	元素分析	高感度で多元素同時分析
X線 紫外線	光電子	光電子分光 (XPS) 真空紫外電子分光 (UPS)	元素分析、電子結合エネルギー	光電子のエネルギー測定により、電子の結合エネルギー、元素分析を行う
X線 軟X線	2次X線	蛍光X線分析	元素分析	迅速な分析が可能
		軟X線分析	電子状態	軟X線を照射して原子の電子状態を測定する

4-2-5. 試料作製

故障解析では、LSI内の特定箇所(故障箇所)の表面、断面からの観察、分析が必要となります。したがって、精密な試料作製法が必要とされ、チップ状態でも研磨できる精密研磨装置や集束イオンビーム装置(FIB)が利用されています。

第四章 故障解析

4-3. 故障解析と信頼性向上施策

故障解析の目的は、4-1項でも述べたように半導体製品に要求される信頼性を確保するために、

- (1)設計、プロセスの開発段階で信頼性を作り込むため、試作、評価時に発生した故障原因を解明し、設計、プロセスへフィードバックする。
- (2)このようにして開発した半導体製品を安定した品質・信頼性で量産するため、工程で発生した不良品の故障原因を解明し、工程へフィードバックする。これにより絶え間ない品質信頼性向上に努める。
- (3)市場不良の原因が半導体製品に起因するのか、もしくは過電圧、ノイズ、熱応力などのシステムとのマッチング不良に起因するのかを明確にし、正しいフィードバックを与える。製品側に問題がある場合、工程管理もしくは設計、プロセスへさかのぼり、対策を施すなどを行います。この手順を図 4-3-1に示します。

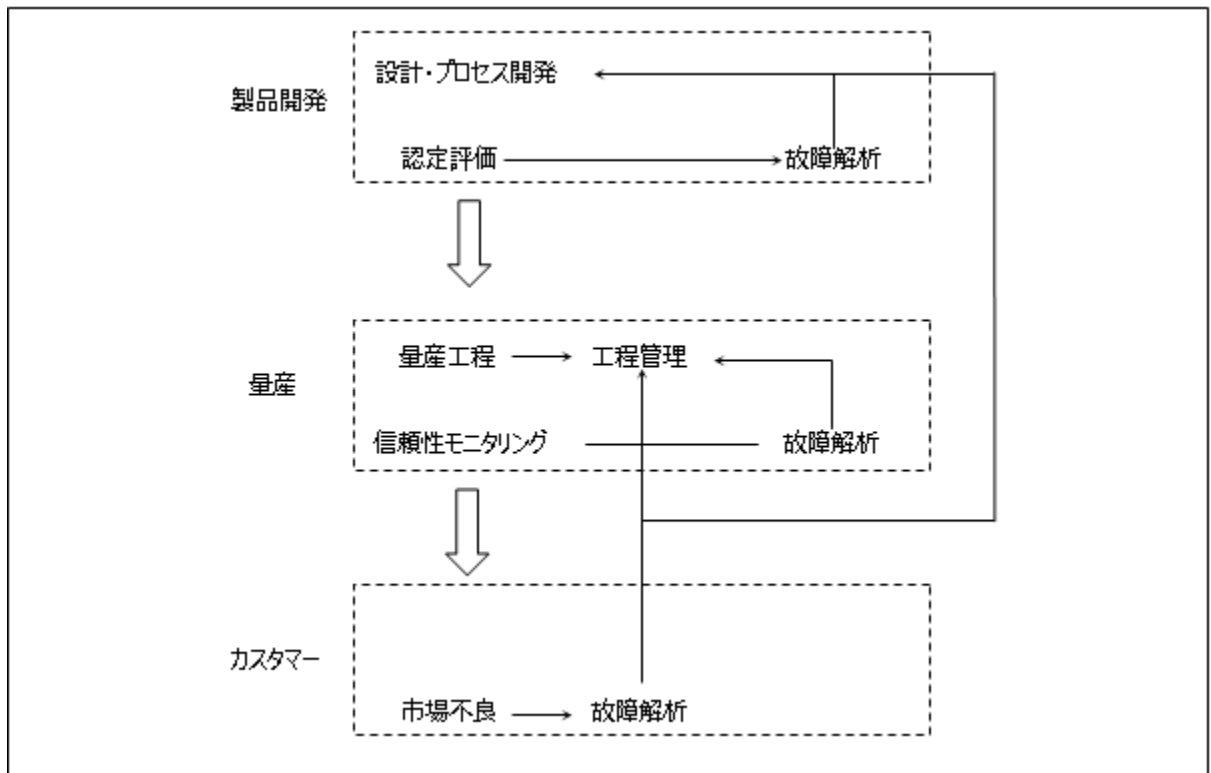


図4-3-1.故障解析による信頼性向上手順

第四章 故障解析

4-4. 故障解析手順

4-4-1. 一般的な製品の故障解析手順

故障解析を進める際、ある程度統一された形をとることが望ましく、その一例を図4-4-1-1に示します。

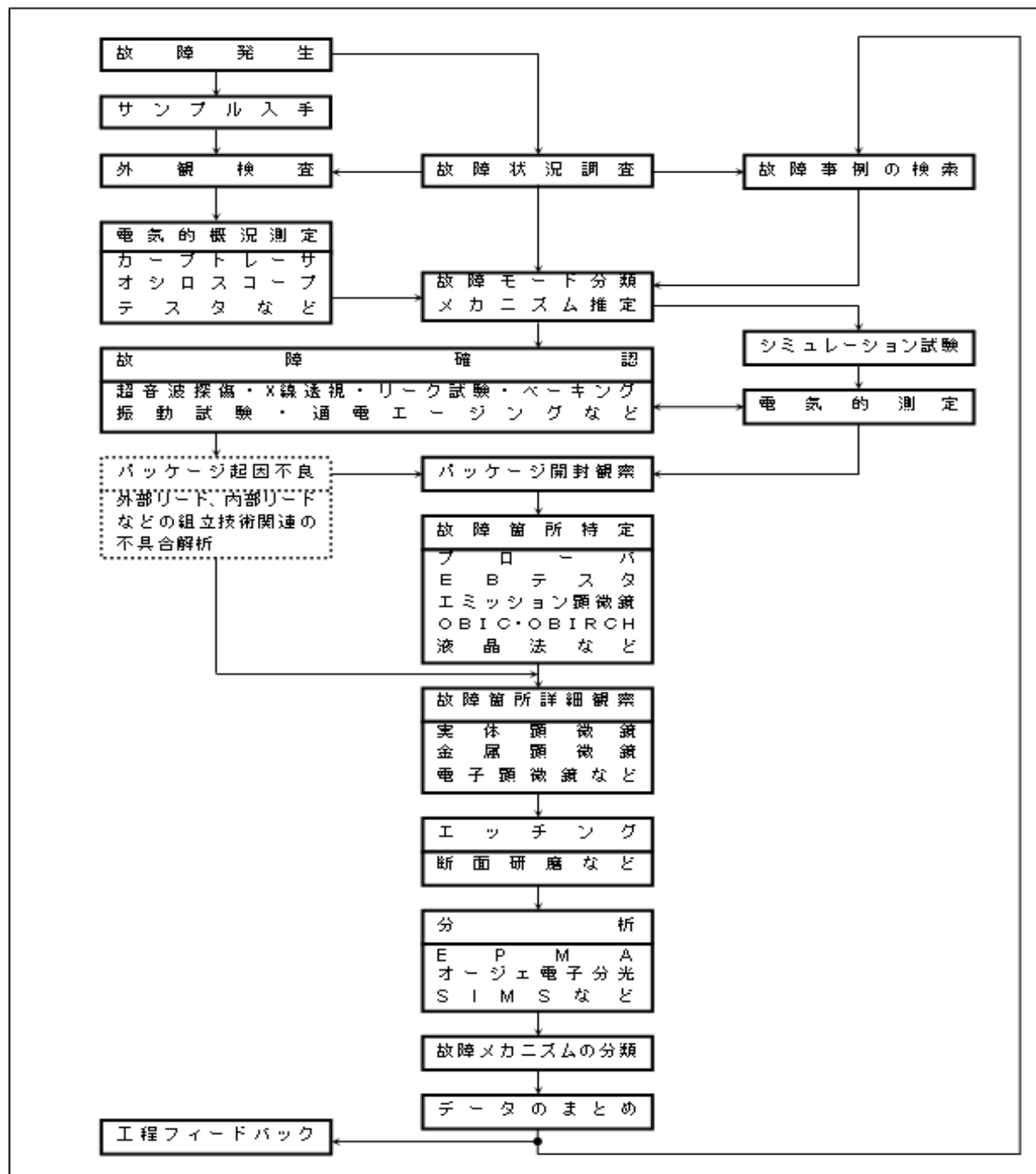


図4-4-1-1.故障解析手順例

第四章 故障解析

故障メカニズムの決定に必要な情報が得られるよう解析フローに従って解析を進める必要があります。

なお、このほかMIL-STD-883方法5003に規定されている故障解析手順を参考にしてください。

故障サンプルを入手すると同時に、そのサンプルの履歴を調査します。製造ロット（製造時期、在庫期間）、故障内容（完全不良、間欠不良、ロット依存性、発生率）、使用条件（回路条件、熱ストレス、機械的ストレス）、環境条件（温度、湿度、場所、雰囲気）などの関連事項はすべてリストアップしておき、故障メカニズムの推定やシミュレーション試験などに役立てます。また、このとき良品サンプルも準備しておき、故障品と対応させることは、故障原因究明の有効な手段です。

外観検査では、目視あるいは実体顕微鏡や金属顕微鏡を使って、パッケージの外部状態を細部まで観察します。これにより判明する故障も種々あり、例えば、パッケージのクラック、ピン間マイグレーション、リードのさびや機械的損傷などの異常が確認できます。必要に応じて、前述した固体表面分析によって表面の元素分析を行い、故障原因の推定に役立てます。

カーブトレーサ、オシロスコープ、テスタなどを使用して電気的特性の測定を行い、そのデータを記録します。カーブトレーサによる端子間の特性測定は、故障モードの情報を最も早く与えてくれます。故障状況調査結果、外観検査結果、電気的特性測定結果および過去の事例や統計データをつき合わせて故障モードを分類し、故障メカニズムを推定します。故障モードは大別して、オープン、ショート、劣化に分類され、この故障モード分類と故障メカニズム推定から以後の試験や分解法が決定されます。

第四章 故障解析

分解の前にベーキング、再試験などを必要に応じて行い、故障メカニズムの推定に役立てます。またX線透視による内部の観察は、必ず分解前に行い、ワイヤ、リードのオープン、ショートなどのチェックを行います。

推定される故障メカニズムに合わせて、適した開封法を用いて、パッケージを開封し、半導体チップなどの観察、分析ができるようにします。このとき、開封法が不相当だと、後に必要な情報が得られなくなり、原因不明に陥る可能性があります。したがって、パッケージの開封には特に注意する必要があります。

パッケージの開封方法としては、①薬品による溶解、②機械的な除去、③プラズマリアクタによる灰化が考えられます。

また、セラミックやメタルパッケージでは特殊な装置や工具を必要としない機械的な開封方法が簡便といえます。

開封したサンプルは、直ちに解析するのが望ましいのですが、できない場合は、デシケータなどに保管し、開封後の汚染や機械的損傷が起きないように配慮する必要があります。

内部状態を詳細に観察するには金属顕微鏡が便利で手早く行えます。また、ボンディング状態やマウント状態の観察には実体顕微鏡を、高倍率での観察には走査型電子顕微鏡を使用し、写真などに記録します。

顕微鏡観察で故障原因が断定できない場合は、異常箇所の元素分析、状態分析を行います。装置は、EPMA、AES、SIMSなど、目的に合わせて適正な方法を選びます。

内部状態観察で異常箇所を断定できない場合、EBテストによる配線の電位測定、エミッション顕微鏡、OBIC法、IR-OBIRCHなどが有効な故障箇所特定手段となります。さらに、エッチングや断面カット、FIB加工による微細領域の特定箇所断面カットにて故障箇所の観察を行い、故障メカニズムを決定します。

第四章 故障解析

以上の解析により得られた結果は、工程にフィードバックされ、また故障事例としてデータバンクに保管されデバイスの改善、高信頼性化の基礎資料となります。

4-4-2. 故障箇所特定

微細化、多層配線化、大規模化、高速化、複合化が進み、故障箇所の特定が困難になっており種々手法が開発されています。

図 4-4-2-1に故障箇所特定の全体的なフローを示します。まず故障が発生した場合、何らかの方法で故障を再現させます。そして、故障現象に応じ最適な解析手法を検討し、解析ツールや解析装置を用いた物理観測を実施、故障箇所特定を行います。

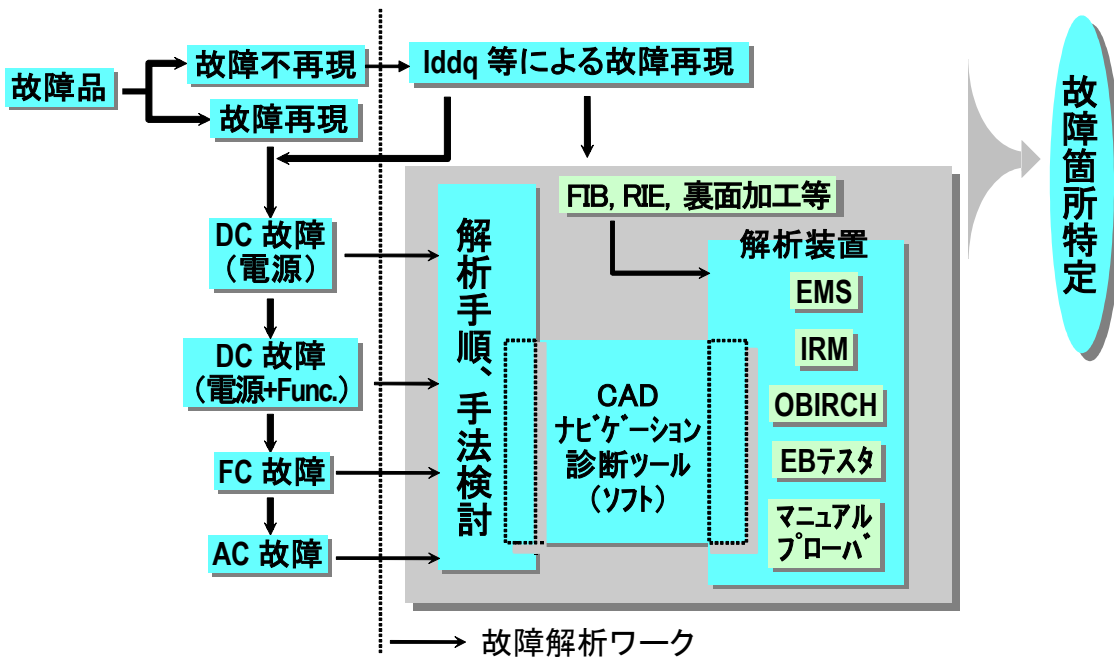


図 4-4-2-1 故障箇所特定のフロー

第四章 故障解析

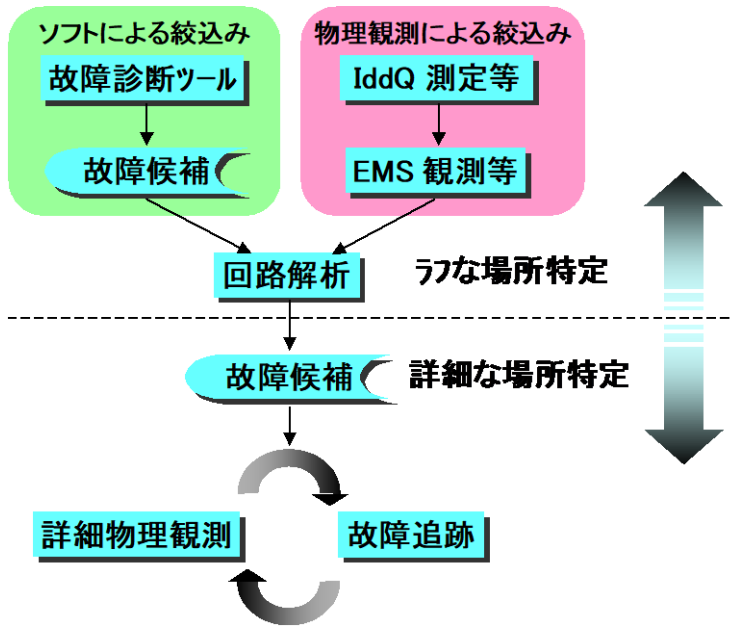


図 4-4-2-2 故障解析フロー

故障再現後の故障解析フローをもう少し詳しく示したのが、図 4-4-2-2 です。故障現象に応じ用いるツールや解析装置等は異なりますが、基本的にはソフトウェア等のツールや物理観測によりラフに故障箇所を絞り込み（解析対象とする領域を狭める）、次に絞込まれた領域の回路を解析した後詳細に物理観測する、という

フローで故障箇所特定を行っています。勿論故障によっては、ラフな場所特定を繰り返したり、或いは反対にラフな場所特定で詳細な故障箇所まで判明する場合等あり、必ずしもこのフローどおりには進まない場合もあります。

4-4-2-1. CADナビゲーションシステム

故障箇所特定を行う際には、半導体製品内の所望の回路を解析装置で観測する、或いは観測した箇所の回路上の位置を調べる、と言うような事が必要です。従って効率良く短時間で解析を進めるためには、半導体製品内のどのトランジスタ或いはどの配線が観測したい箇所なのか、反対に観測している箇所がどの回路部分なのか実際の解析の場面では即座に分かるようにしておく必要があります。しかし、近年半導体製品の大規模化、高集積化に伴い、設計情報（回路情報、レイアウト情報）を用いる事無く半導体製品内の所望の回路の物理位置を特定する事は非常に困難となっています。

第四章 故障解析

そこで、設計情報と解析装置上の半導体製品の物理座標とをリンクさせ、しかもレイアウト設計等の知識が無くても簡単に回路を追跡できるCADナビゲーションシステムが実用化されています。

図4-4-2-3にCADナビゲーションシステムの表示例を示します。この図でa) がエミッション顕微鏡(EMS) の観測画面、b) がマスクレイアウト、c) が回路のネットリスト(電氣的な接続関係を文字で表現した、回路図に相当する)を表示しています。CADナビゲーションシステムでは、観測画面とマスクレイアウト表示とを双方向に同期させることが可能です。更にマスクレイアウトとネットリストも双方向に同期させる事が可能で、図中の白くハイライトしているところは対応する配線と信号名です。

このようにCADナビゲーションシステムを利用することにより、利用者は観測したい信号がレイアウト上の何処に配線され、それが実チップの何処にあるのか、逆に解析装置で観測した箇所がレイアウト上の何処になり、それが回路中のどの部分になるのかを即座に把握することが可能となり、解析を効率よく行うことが出来ます。またこの例ではEMSの観測画面を示していますが、他の解析装置も同様の利用が可能となっています。

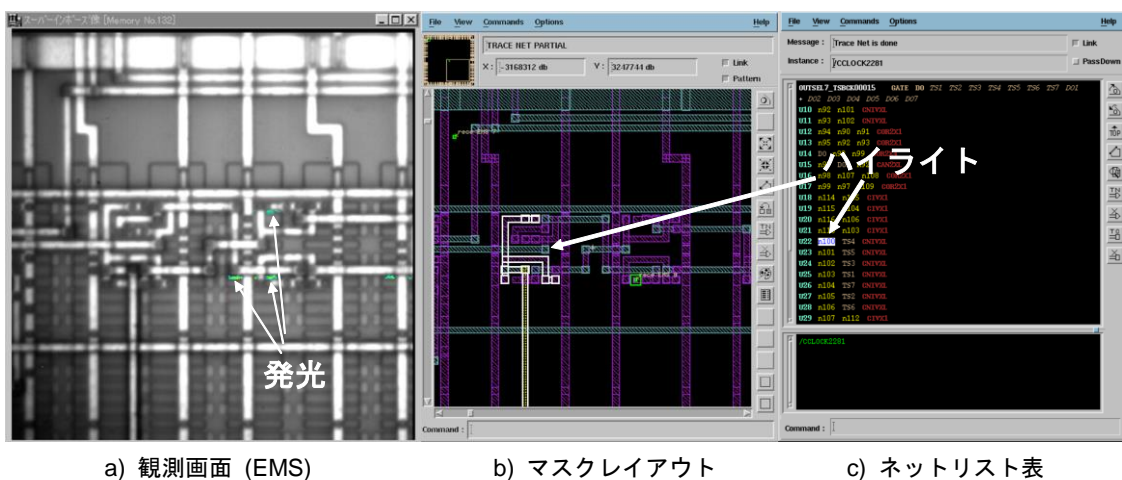


図 4-4-2-3 CADナビゲーションシステム表示例

第四章 故障解析

4-4-2-2. 診断ツール

最終的に故障箇所を特定するためには、例えばトランジスタ (Tr) の故障であればどのTrが故障しているのか詳細に調べる必要があるため、故障解析装置による観測が必要となります。しかし、半導体製品内のTr数が数億に達しようという昨今、Trを一個ずつ調べて故障箇所を特定しようというのは非現実的です。しかし故障解析装置は、どちらかという丹念に解析する事を得意としているため、故障解析TATを短縮するためには、故障解析装置で観測する領域を予め精度良く絞込んでおく事が重要となってきます。

診断ツールはこの目的のために使用するもので、基本的には設計情報 (回路情報やマスキレイアウト情報)、テストパタン、テスト結果を利用し、故障が起こっていると考えられる箇所を論理的に絞り込んでいくことが可能です。

診断手法は幾つか提案されツール化されていますが、ここではもっとも基本的な故障辞書を用いた手法について説明します。

まず故障辞書とはどういうものか、簡単に説明します。

半導体製品を試験する場合は、必ずテストパタンが存在しています。このテストパタンには、半導体製品への入力信号とその時の出力期待値が記述されており、通常はこの出力期待値と実際に半導体製品が出力した値とを比較し、双方に相違があるか無いかで、その半導体製品が良品か不良品かを判定しています。

この時回路中のある信号に故障を仮定し、前述のテストパタンを半導体製品に入力した時に、出力に期待値異常が観測されるかどうかを論理シミュレーションにより調べることが可能です。これを数多くの信号に故障仮定した場合について調べ、期待値異常が観測されると分かった物について、何処に故障仮定した場合に、どの時刻で出力期待値異常が起こるか、という情報をまとめた物が故障辞書です。図4-4-2-4に故障辞書の例を示します。

第四章 故障解析

故障辞書を利用した故障候補の抽出方法を図 4-4-2-5に示します。例えばあるテストパターンを半導体製品に入力した際のテスト結果として、フェイル時刻の情報が得られます。次に故障辞書で、このテスト結果に一致するフェイル時刻で故障が検出できるのは、どの信号に故障を仮定した場合かを調べます。この例ではIN2とIN3という信号がテスト結果に一致するので、ここではこの2つの信号が故障候補として抽出されます。

ここで示したのは非常に簡単な例ですが、実際の診断ツールでは更に故障候補抽出の精度を向上させる様々な手法が取り入れられています。それでも現状では半導体製品内で起こっている故障全てに対して対応できているわけでは無いので、必ずしも診断ツールだけで故障箇所が特定できるとは限りません。しかし、前述したように解析装置で観測する箇所を絞り込める、という点で診断ツールは非常に重要となっています。

第四章 故障解析

信号名	故障モデル (縮退値)	検出時刻	結果
/IN	0	59000	D
/IN1	1	9000	D
/IN2	0	49000	D
/IN2	1	9000	D
/IN3	0	49000	D
/IN3	1		U
/IN4	0		U
/IN4	1		U

図 4-4-2-4 故障辞書例

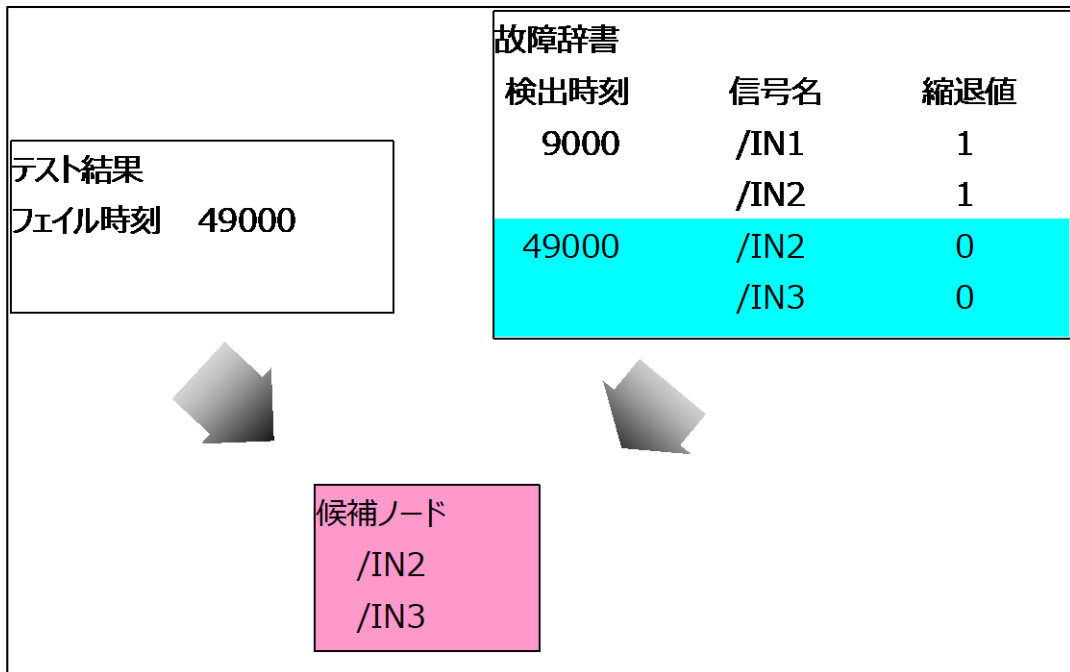


図 4-4-2-5 故障辞書を利用した故障候補抽出の例

第四章 故障解析

4-5. レイヤー解析

ICは多層配線で構成されているため、チップ表面からは下層の異常を確認できません。そこで、各層の観察と除去を繰り返し、異常の有無を確認します。

金属配線や層間絶縁膜の除去は、平面研磨、ウエットエッチングやドライエッチングを用います。

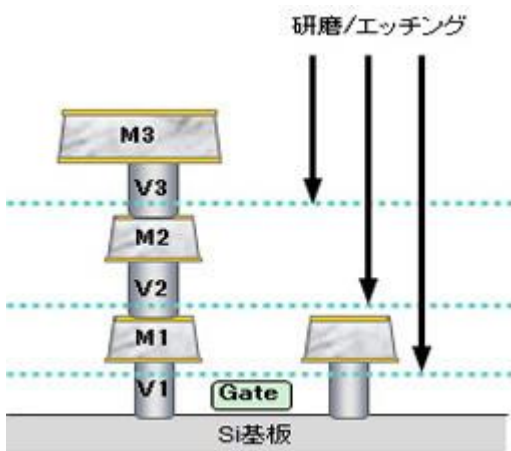


図4-5-1. レイヤー解析のイメージ

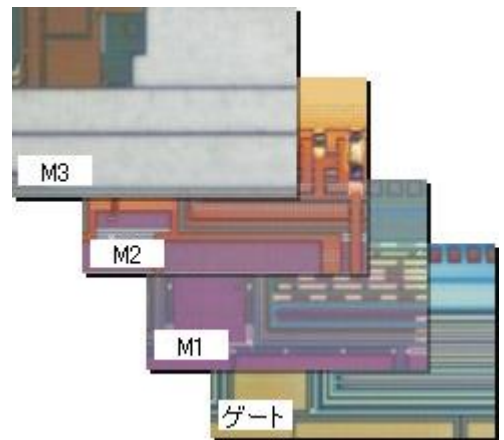


図4-5-2. 各レイヤーの観察例

レイヤー解析で、異物、断線、破壊痕などの不良が確認されたら、その不良の観察に適した方向(断面、平面)でFIB加工あるいは研磨を行い、SEMやTEMで観察や分析をします

FIB : Focused Ion Beam 集束イオンビーム

SEM : Scanning Electron Microscope 走査電子顕微鏡

TEM : Transmission Electron Microscope 透過電子顕微鏡

第四章 故障解析

4-6. 故障解析の事例

この節では、代表的な故障解析の手法と結果を以下の18例について述べます。

- (1) エミッション顕微鏡による故障箇所の特定
- (2) IR EMS (赤外エミッション顕微鏡) を用いたSiチップ裏面からの解析
- (3) IR-OBIRCHによる故障箇所の特定
- (4) ナノプローブ装置による単体素子の故障解析
- (5) エミッション顕微鏡とEBテストを用いた故障箇所の特定
- (6) SEMによるゲート酸化膜破壊の解析
- (7) 層間膜中異物の解析
- (8) OBICを用いて特定した故障箇所部のTEMによる断面解析
- (9) オージェ電子分光分析によるLSI中の微小異物分析 (その1)
- (10) オージェ電子分光分析によるLSI中の微小異物分析 (その2)
- (11) XPSによる微小部の結合状態分析
- (12) SCMによるジャンクション解析
- (13) 導電性AFMによる電流リーク箇所特定
- (14) ボンディングパッドの腐食の解析
- (15) 表面実装型製品のリフローによるパッケージクラックの解析
- (16) 表面実装型製品の基板材料の違いによる実装不良の解析
- (17) 超音波顕微鏡(SAM)による内部構造の非破壊観察
- (18) 3次元X線顕微鏡(X線CT)による内部構造の非破壊観察

第四章 故障解析

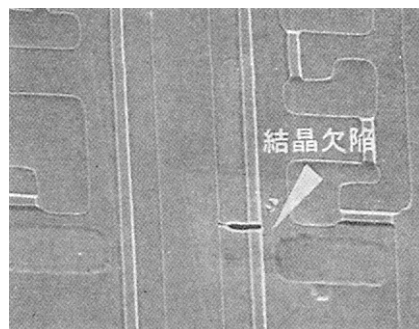
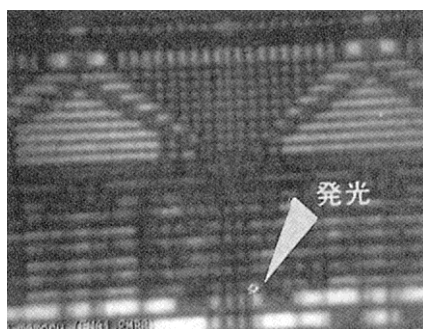
(1) エミッション顕微鏡による故障箇所の特特定

目的 信頼性試験でのスタンバイリーク不良品の不良原因を解明する。

解析・結果 エミッション顕微鏡により解析。アドレスデコード回路部n-ch MOSに発光を確認(図4-6-1(a))。分解調査の結果、発光部に結晶欠陥が認められた(図4-6-1(b))。

また、別のサンプルではADコンバータ前段のn-ch MOSに発光を確認。(図4-6-2(a))。分解調査の結果、発光部にゲート酸化膜破壊を確認した(図4-6-2(b))。

故障メカニズムは結晶欠陥によるn-ch MOSリークおよびゲート酸化膜破壊(TDDDB)と考えられる。

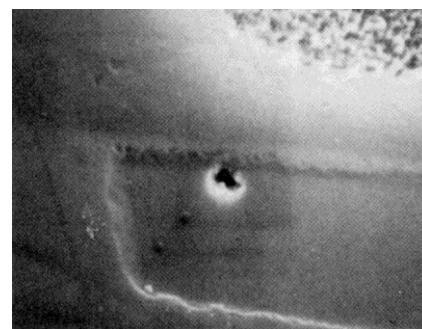
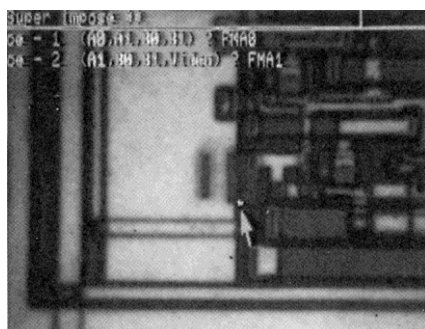


↑
ゲート

(a)アドレスデコード回路発光観察

(b)発光部の結晶欠陥

図4-6-1 結晶欠陥によるスタンバイリーク不良例



(a)ADコンバータ前段回路発光

(b)発光部のゲート酸化膜破壊

図4-6-2 ゲート酸化膜破壊によるスタンバイリーク不良例

第四章 故障解析

(2) IR EMS (赤外エミッション顕微鏡) を用いたSiチップ裏面からの解析²⁾

目的 ボード実装工程でファンクション不良の故障原因を解明する。

解析・結果 Siチップ裏面をミラー研磨後、裏面からIR EMSにより発光を検出した (図 4-6-3)。

分解後、走査型電子顕微鏡 (SEM) による観察の結果、MOSコンデンサの酸化膜破壊を確認した (図4-6-4)。

故障メカニズムはESDによる酸化膜破壊と考えられる。

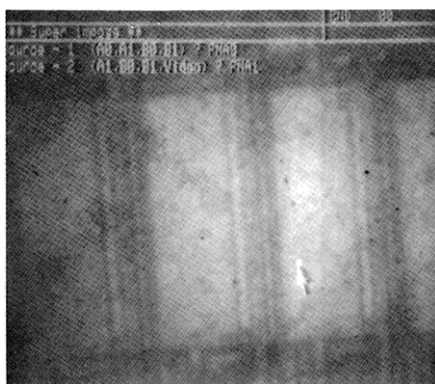


図4-6-3 発光像とパターン像を重ねたイメージ (矢印部が発光箇所)

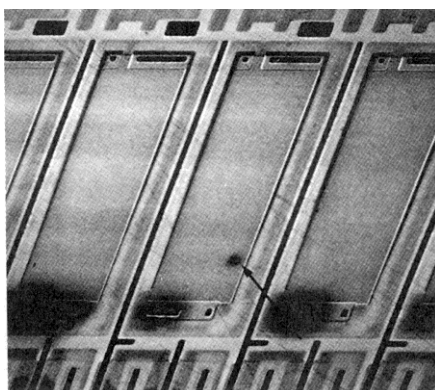


図4-6-4 分解後の酸化膜表面 (SEM像)

第四章 故障解析

(3) IR-OBIRCHによる故障箇所の特定

目的 赤外線レーザーを試料表面でスキャンさせ、レーザーによる抵抗値変化を検知することで不良の発生箇所を特定する。従来のエミッション顕微鏡などの手法と較べて検出感度が高く、故障箇所の絞込みを小さくできる特徴が有る。

ショート不良、電流リーク不良だけでなく高抵抗による不良箇所の特定に有効である。

解析・結果 IR-OBIRCHによりVia-chainのオープン不良箇所の特定を行った。

IR-OBIRCHのデータで不良箇所が検出された。その箇所の断面をTEM解析した結果、Viaの部分にボイドが発生して不良になっていることがわかった。

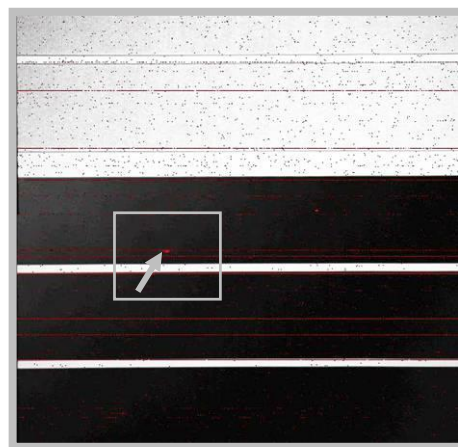


図4-6-5 IR-OBIRCHによる信号検出例

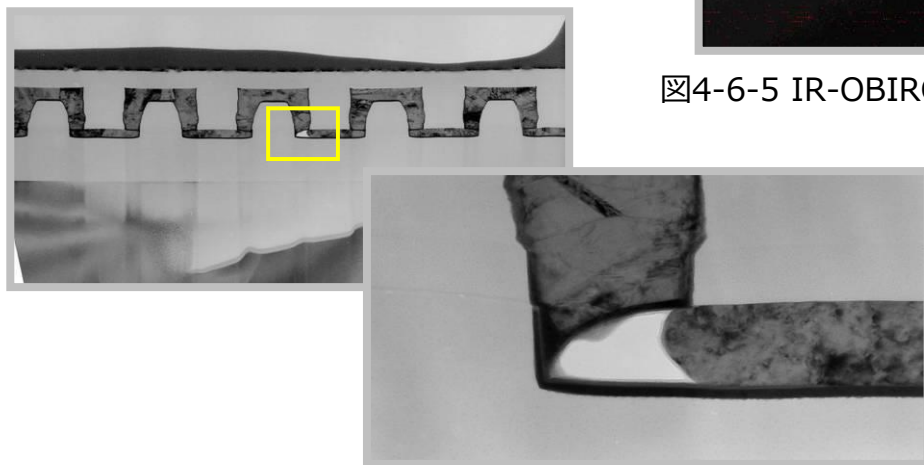


図4-6-6 検出箇所の断面観察結果 (TEM)

第四章 故障解析

(4) ナノプローブ装置による単体素子の故障解析³⁾⁴⁾

目的 ナノプローブ装置を使ってLSI中の単体トランジスタの電極に直接コンタクトを行い、素子の電気特性を測定する。電圧－電流特性から異常の有無や正常素子との比較により不良の原因となる特性の変動などを調べる。従来技術では特性測定用の端子をFIB加工で作成する準備が必要であったが、本装置を使うことにより短時間でダメージを与えずに素子の特性を取得できる。

解析・結果 ナノプローブ装置を使いEEPROMの書込み不良セルの特性測定を行った。

不良セルのトランジスタではデータを保持するためのゲート端子と基板の間の電圧－電流特性で、正常セルのトランジスタと比較して低い電圧からリーク電流が流れ始め、このことが原因で書込み特性が悪く、データ保持特性の悪いことがわかった。

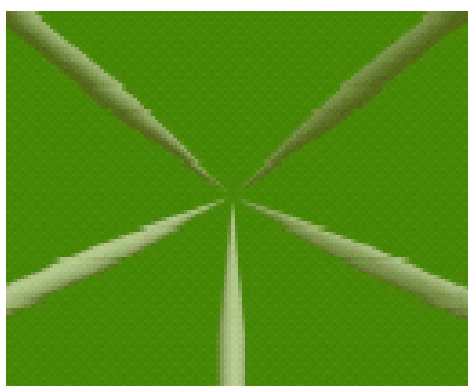


図4-6-7 ナノプローブ装置のプローブ端子先端写真 (先端径は50 nm)

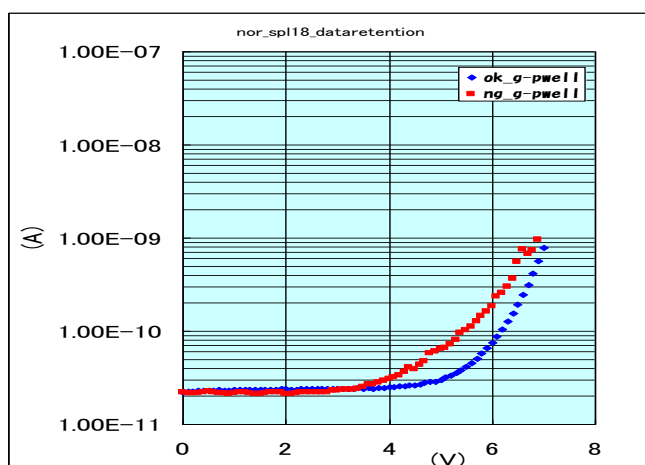


図4-6-8 素子のゲート端子の電圧－電流特性 (不良と正常セルの比較)

第四章 故障解析

(5) エミッション顕微鏡とEBテストを用いた故障箇所の特定

目的 信頼性試験でのファンクションリーク不良品の故障原因を解明する。

解析・結果 ICをスタンバイ状態に設定しエミッション顕微鏡で複数箇所から発光を観察した。さらにEBテストで、配線がオープンしている箇所を特定した。異物をFIBで断面加工し、異物によりAl配線がオープンしていることが分かった。異物により断線しかけていた配線がストレスによって完全に断線した。

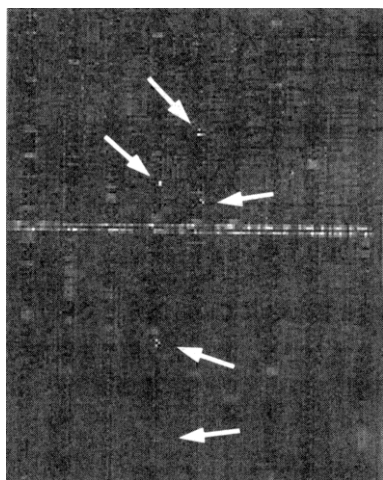


図4-6-9 EMSによる発光像

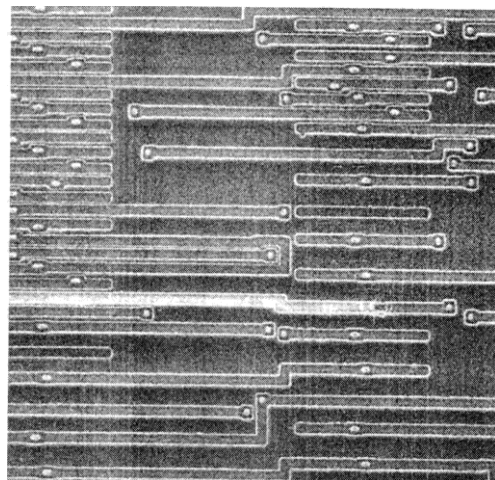


図4-6-10 EBテスターによる観察

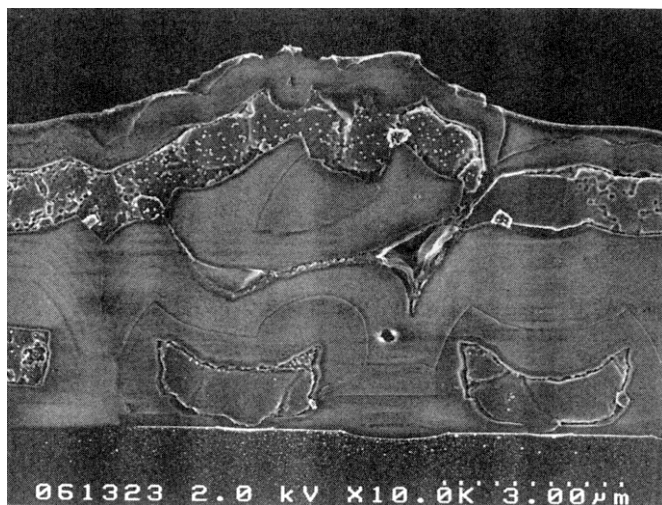


図4-6-11 断線箇所の断面観察像

第四章 故障解析

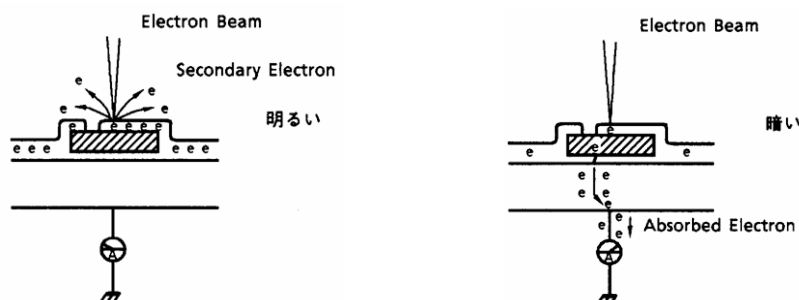
(6) SEMによるゲート酸化膜破壊の解析⁵⁾

目的 高温動作寿命試験でのスタンバイリーク不良品の故障原因を解明する。

解析・結果 ゲート電極へつながる配線を除去した後、SEMによるチャージアップ現象の応用 (図4-6-12) により、ゲート電極と基板間のリークが確認できた (図 4-6-13)。

さらにゲート電極剥離後に、ゲート酸化膜に破壊が見られた (図4-6-14)。

酸化膜のTDDB (Time Dependent Dielectric Breakdown) 破壊であると考えられる。



(a)正常箇所

(b)異常箇所

図4-6-12 SEMによるゲート酸化膜破壊箇所の特定法⁵⁾

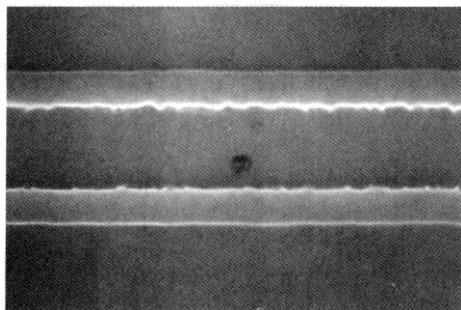


図4-6-13 ゲート電極と基板間にリークのあるゲート電極を特定した例

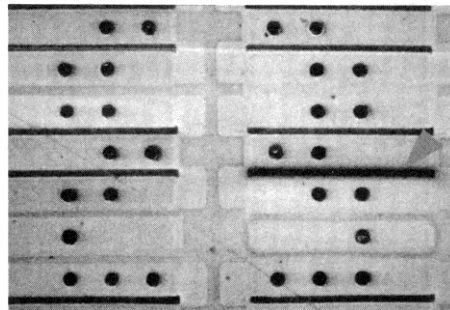


図4-6-14 ゲート酸化膜破壊箇所

第四章 故障解析

(7) 層間膜中異物の解析

目的 異物によるAl配線の断線箇所の特特定と断線原因を解明する。

解析・結果 Al配線の断線箇所をSEMによるチャージアップ現象の応用により特定し、FIBによる断面カット面の断面観察、またEPMA分析により異物の同定を行う。

層間膜形成工程に使用される製造装置からの異物付着が原因となり、Al配線が断線したと考えられる。

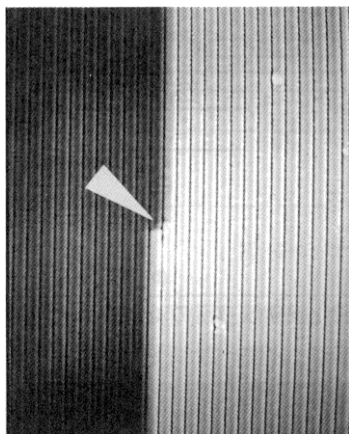


図4-6-15 オープン箇所の特定



図4-6-16 異物SEM像

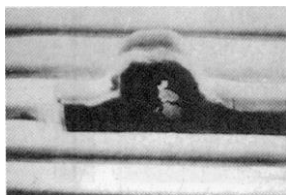


図4-6-17 SEM像

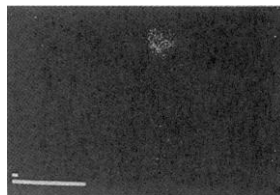


図4-6-18 EPMA
Fe-Xray像

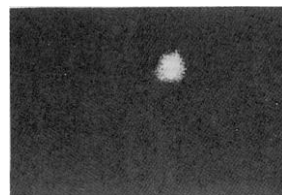


図4-6-19 EPMA
Cr-Xray像

第四章 故障解析

(8) OBICを用いて特定した故障箇所部のTEMによる断面解析⁶⁾

目的 イニシャル品のリーク等故障部の特定には、バイアスを掛けずに測定可能なOBICが有効である。また、半導体製品の微細化、皮膜化が進む中、その構造を的確に把握するにはTEMによる観察が必要になってきている。そこで、故障箇所部の微細構造確認のためOBICを用いて特定を行い、TEMにより観察を行った。

解析・結果 OBICによりゲートリーク箇所を特定した後、FIB加工によりTEM試料を製作し、TEM観察を行った。この時、FIBでポジションマーキングとOBIC測定を繰り返すことにより、FIB加工位置を高精度で決定した。

OBIC特定箇所部のゲート酸化膜が欠損しており、そこにPoly-Siが入りこんでリークしていることが確認できた。

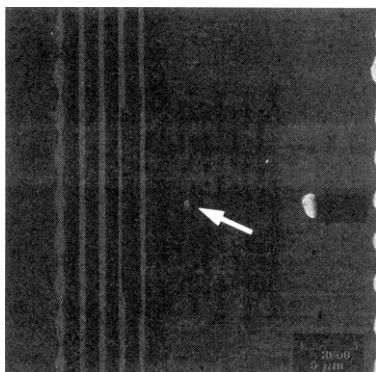


図4-6-20 OBIC観察像
(FIBデポジションマーキングにより
FIB加工位置を高精度で決定)

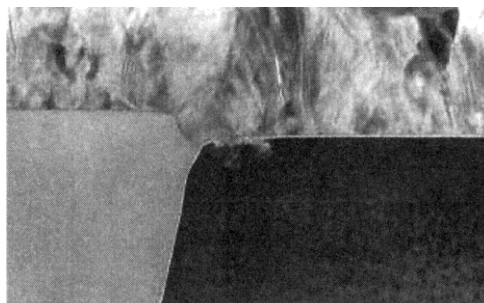


図4-6-21 発光箇所の断面TEM像



図4-6-22 TEM像 (拡大像):
ゲート酸化膜が欠損し、Poly-Siが入りこんでいるのが分かる

第四章 故障解析

(9) オージェ電子分光分析によるLSI中の微小異物分析 (その1)

目的 LSI中に糸状の異物が観察された (図4-6-23)。この発生原因を解明する。

解析・結果 異物の断面SEM観察を図4-6-24に示す。

オージェ電子の面分析の結果、異物からはTiとAlが検出され、メタル配線間に残った配線屑が保護膜生成初期に配線上へ付着したものと判明した (図 4-6-25)。

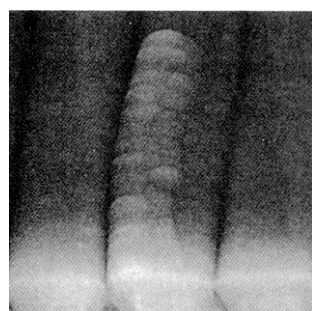


図4-6-23 SEM像

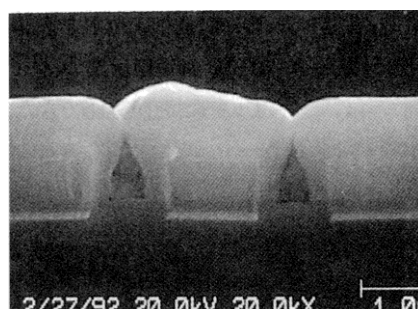
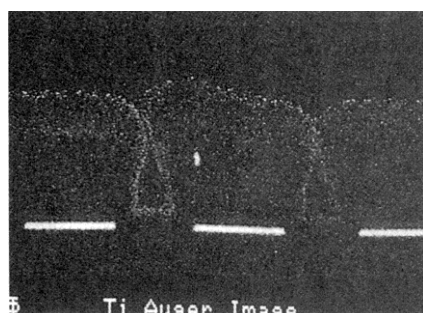
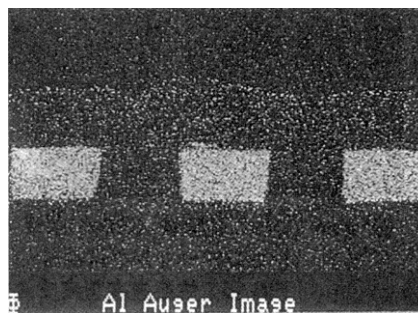


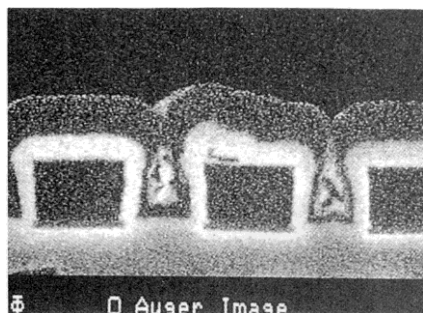
図4-6-24 断面SEM像



a) Tiのオージェ像



b) Alのオージェ像



c) Oのオージェ像

図4-6-25 オージェ断面分析

第四章 故障解析

(10) オージェ電子分光分析によるLSI中の微小異物分析 (その2)

目的 表面研磨後、コンタクト部分に膜状の異物が観察された。この発生原因を解明する。

解析・結果 オージェ電子の定性分析の結果、異物からSiが検出され、BPSGのCMP工程で、ビットコンタクトのPoly-SiがBPSG層間に付着したものと判明した。

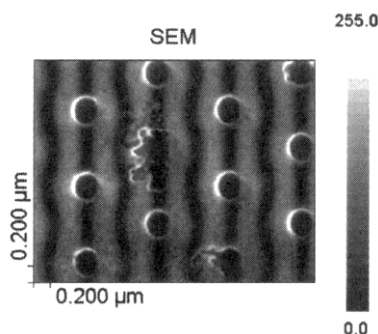


図4-6-26 SEM像

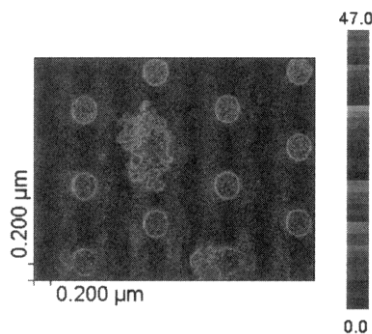


図4-6-27 O+Siのオーゼ像

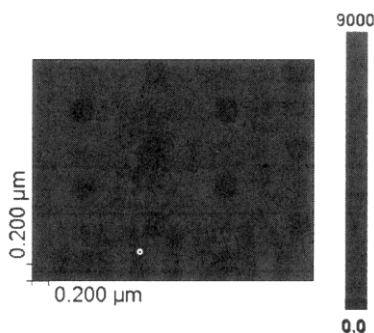


図4-6-28 Oのオーゼ像

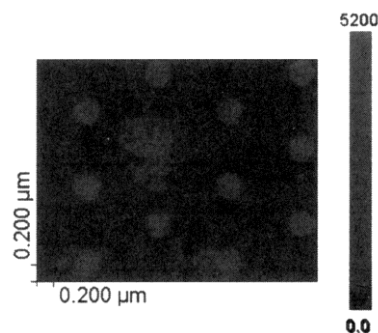


図4-6-29 Siのオーゼ像

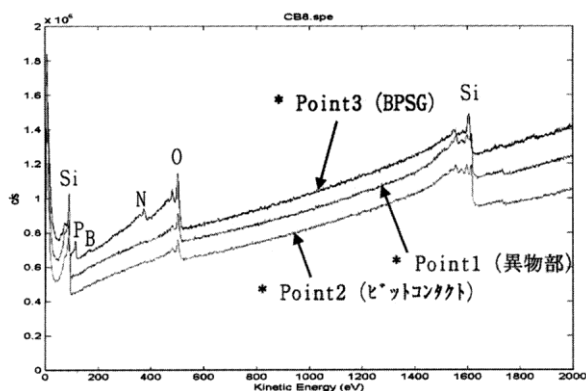


図4-6-30 オーゼスペクトル

第四章 故障解析

(11) XPSによる微小部の結合状態分析

目的 高密度配線基板パッド (Cu-Sn) とチップバンプとの接合不良発生。基板パッドの不具合部ではAu蒸着後の熱処理にてAuが拡散しないことが判明 (図4-6-31)。

その原因をXPSによるArイオンスパッタによる深さ分析にて解明する。

解析・結果 図4-6-32より、接続不具合部にはSnの酸化物ができていて、正常部ではSnとAuの拡散が起こっている。不具合部ではSnの酸化物がSnとAuの拡散を阻害している。接合不良の原因はSnの酸化物の生成であること判明。工程改善へフィードバックした。

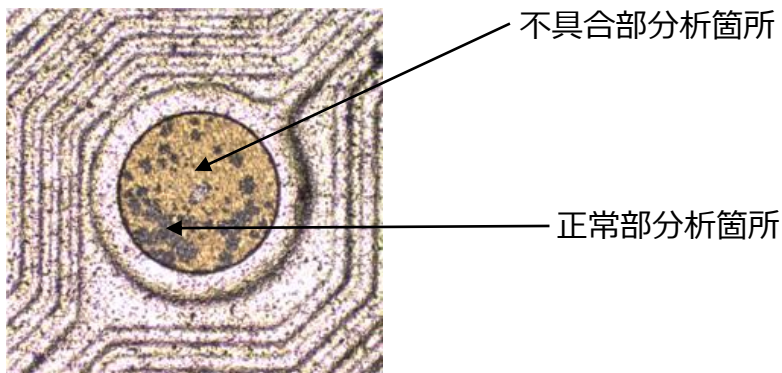
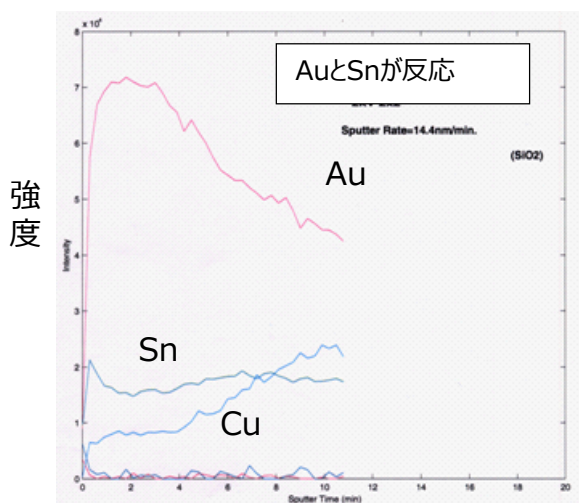
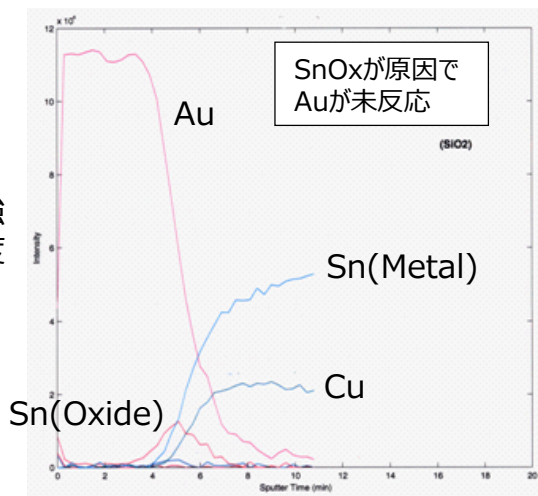


図4-6-31 Cu-Snパッド上にAu蒸着後の熱処理後



スパッタ時間

(a) 接合正常部



スパッタ時間

(b) 接合不具合部

図4-6-32 パッド上のXPSによる深さ方向分析

第四章 故障解析

(12) SCMによるジャンクション解析

目的 基板中に拡散しているP/Nジャンクションの状態をSCMにより容量変化を画像化することにより観察する。7) 特にP/N判断、局所的な X_j オフセットの測定に有効である。

解析・結果 SCMによりCCDエリアセンサの断面拡散構造観察を行った。

CCDエリアセンサの拡散分布を観察することができた。本解析により、P/N判断、上層配線との位置関係などから、プロセス開発、不良解析に役立つ情報を提供することが可能である。

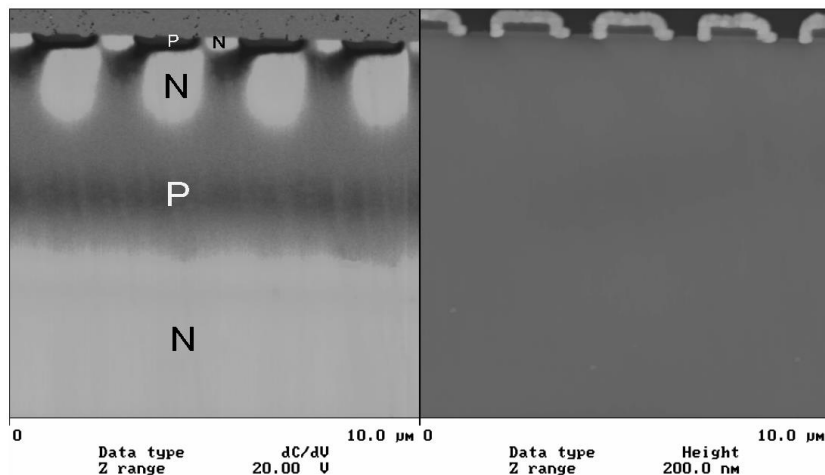


図4-6-33 CCDエリアセンサ部 (左図: SCM像/右図: AFM像)

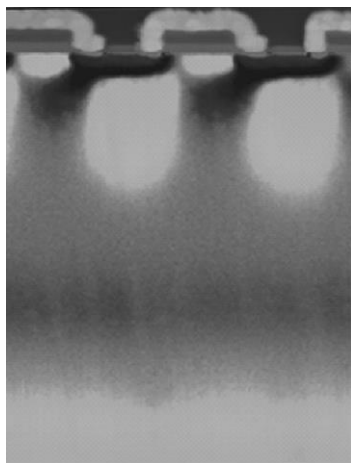


図4-6-34 拡散層位置関係 (SCM像とAFM像の重ね合わせ)

第四章 故障解析

(13) 導電性AFMによる電流リーク箇所特定⁸⁾

目的 ULSIへの低誘電率層間膜 (以下、Low-k膜) の導入に伴い、有機膜と無機膜の密着性不良やLow-k膜中のCu及びBarrier Metalの拡散などによる配線間の電流リークが問題となっている。故障解析を速やかに行う上で、リーク箇所を明確化することが必要である。

そこで導電性AFMを用いて、リーク箇所の特定を行った。

解析・結果 Cu/Low-k膜サンプルをFIBにて30 mm²のチップ状に作製し、導電性基板上に固定した。リーク箇所の特定は、試料ステージにバイアス電圧を加え、ステージとプローブ間の電流量を測定し、得られた電流像と形状像から行った。

図 4.35にCu/Low-k膜の大気中における導電性-AFM測定結果を示す。黒色部分は、リーク電流が多く流れている箇所であり、抵抗値が小さい部分である。有機膜は、SiO₂及び無機膜に比べ抵抗値が小さく電流を流しやすいことがわかった。また、有機膜は膜全体がリークしていることが確認できた。

このことより、有機膜が他の膜より透水性、吸水性が高いために、膜中の水により膜の抵抗値が低下したと予想される。この結果はプロセス開発に寄与した。

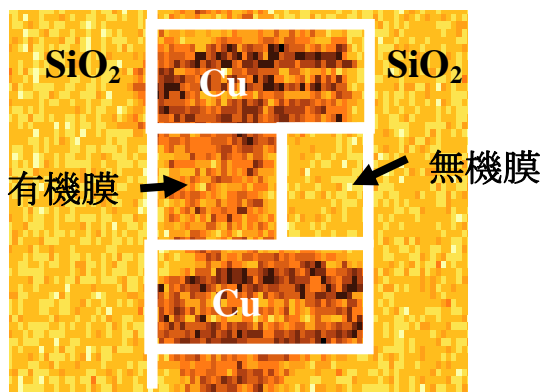


図4-6-35 Cu/Low-k膜の導電性-AFM測定結果

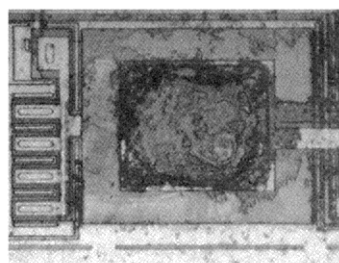
第四章 故障解析

(14) ボンディングパッドの腐食の解析

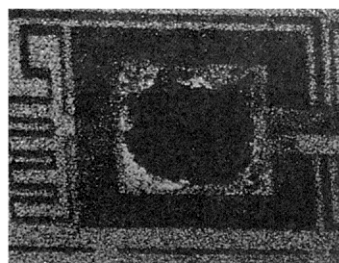
目的 耐湿性試験後、オープン不良の発生原因を解明する。

解析・結果 封止樹脂剥離後、電氣的にオープンしているボンディングパッド部に異常が見られた [図4-6-36 a)]。EPMAによる分析の結果、Alの溶出が確認され不純物としてClを検出した。[図4-6-36 b) c)]

Cl汚染によるボンディングパッド部のAl腐食。



a) オープン不良パッドの顕微鏡像



b) a)部の Al-X 線像



c) a)部の Cl-X 線像

図4-6-36 ボンディングパッド部のAl腐食解析例

第四章 故障解析

(15) 表面実装型製品のリフローによるパッケージクラックの解析

目的 吸湿放置し、リフロー実施後のパッケージクラックおよびボンディングオープンが発生。この原因を解明する。

解析・結果 超音波探傷観察、X線透視観察および断面観察により、チップ端からのパッケージクラック発生を確認

リフロー時の熱ストレスにより内部水分が蒸気化し、その蒸気圧力が樹脂の破断強度を超えたためパッケージクラックが発生し、このクラックによりワイヤが断線したと考えられる。

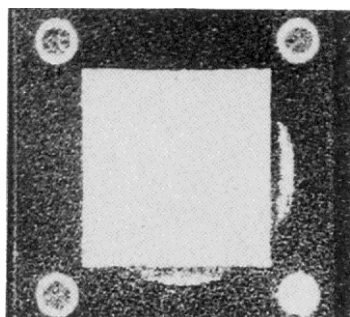


図4-6-37 超音波探傷装置による観察

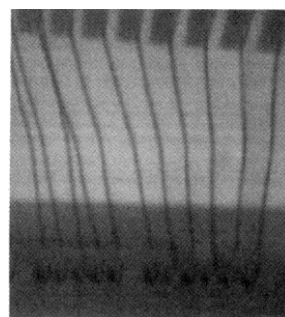


図4-6-38 X線透視装置による観察
(ワイヤオープン)

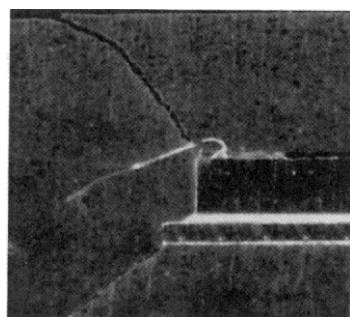


図4-6-39 断面観察

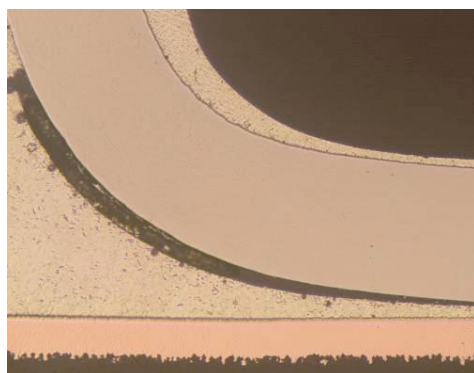
第四章 故障解析

(16) 表面実装型製品の基板材料の違いによる実装不良の解析

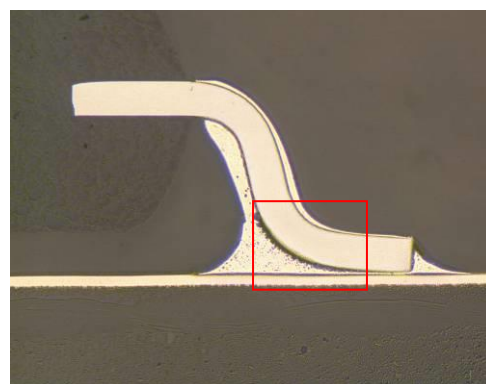
目的 TSOP TYPEI (パッケージ短辺方向に42アロイリード) において基板Aでリフロー実装不良発生。この原因を解明する。

解析・結果 リードと基板の接合部の断面研磨を行い、光学顕微鏡でリードと半田の界面を観察した。基板Aでのリードと半田の界面で剥離を確認した(図 4-6-40)。

基板Bでは剥離がリードと半田界面の剥離が無い(図4-6-41)。実装の不良原因は基板Aの熱膨張係数が基板Bより大きく、リードとの差が更に大きいため実装時の加熱・冷却でリードと基板の膨張・収縮に差が生じ、剥離が発生した。

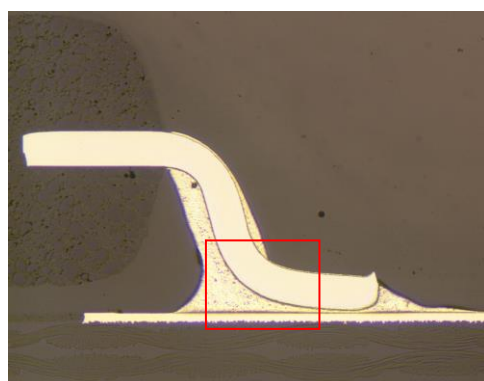


(a) 低倍観察

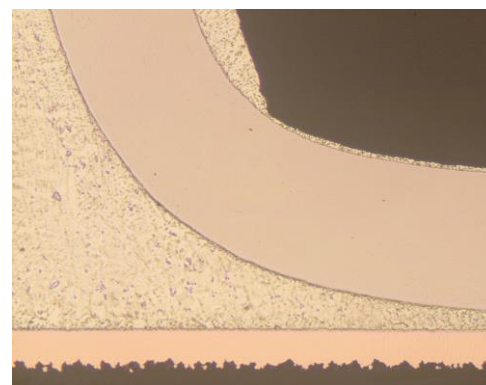


(b) 高倍観察

図4-6-40 基板Aでの断面観察



(a) 低倍観察



(b) 高倍観察

図4-6-41 基板Bでの断面観察

第四章 故障解析

(17) 超音波顕微鏡(SAT)による内部構造の非破壊観察

目的 超音波顕微鏡(SAM)を用いて非破壊でパッケージ内部の異常を観察する。

解析・結果 チップとベッドに挟まれたマウントペーストや、多段スタック品など、多層構造となっている試料では、まず透過観察で内部全体を観察し、異常の有無を調査する。不良品の透過観察で、パッケージ内部の異常箇所(剥離、クラック)を確認した(図4-6-42)。

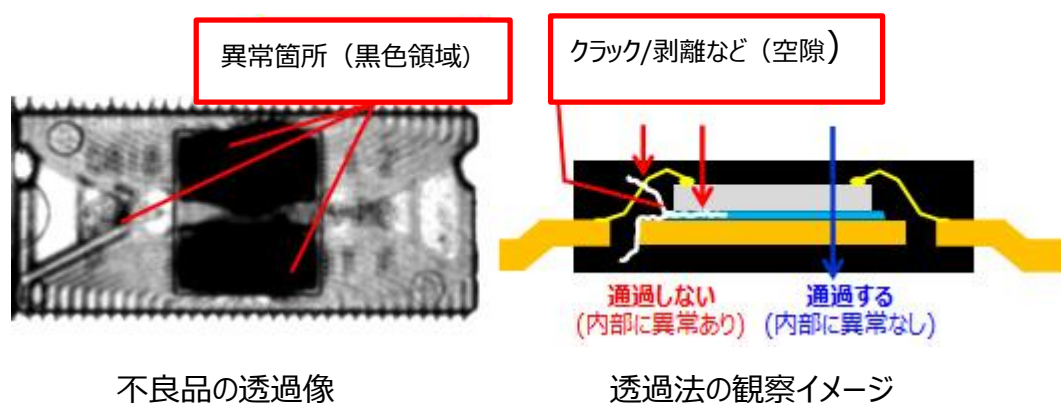


図4-6-42 不良品の非破壊観察

第四章 故障解析

(18) 3次元X線顕微鏡(X線CT)による内部構造の非破壊観察

目的 3次元X線顕微鏡(X線CT)を用いて非破壊でパッケージ内部の異常を観察する。

解析・結果 非破壊検査装置である超音波顕微鏡 (SAM)と組み合わせて、異常個所の検出から詳細観察で、パッケージ内部の異常箇所(チップクラック、基板クラック)を確認した (図4-6-43)。

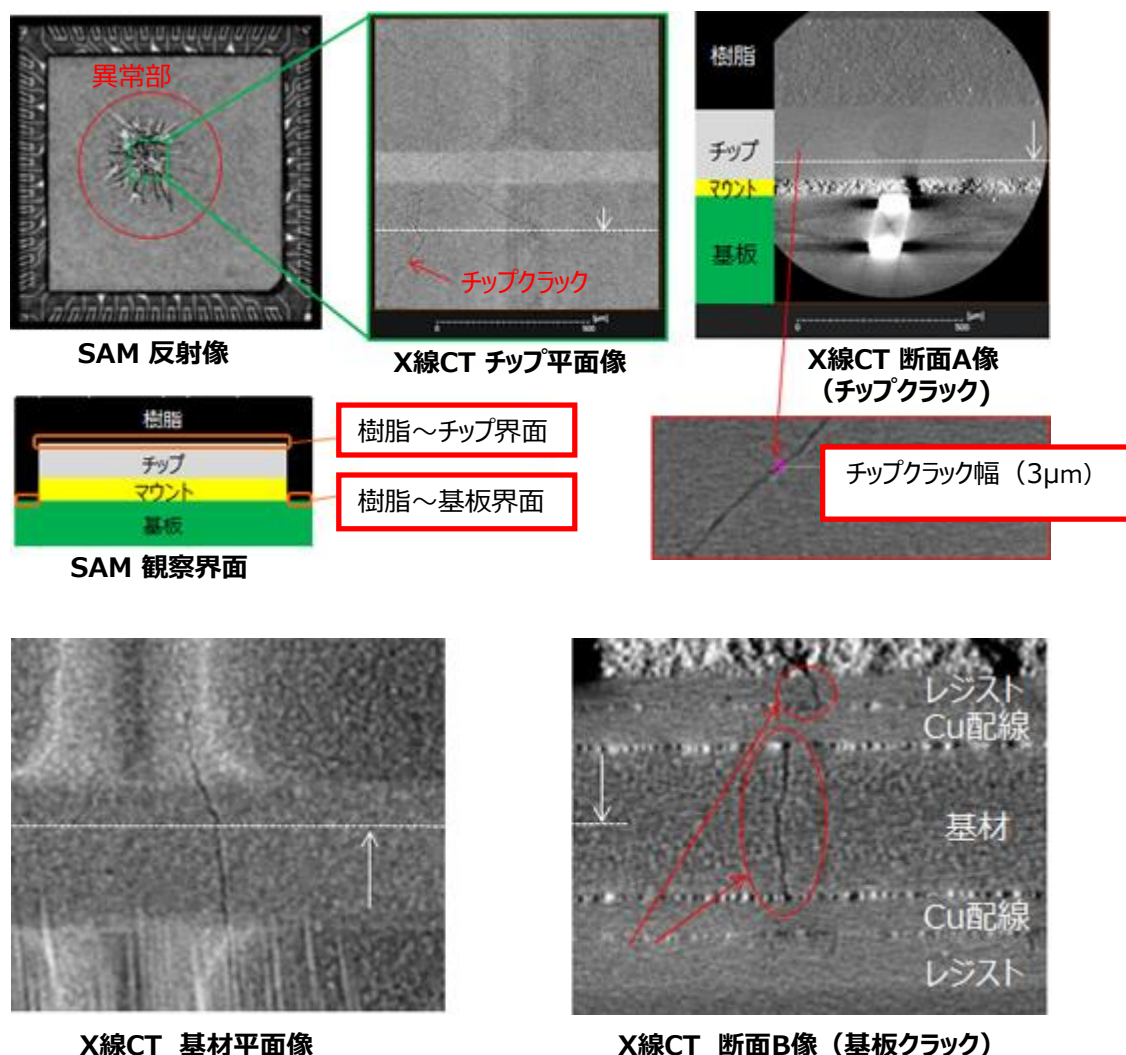


図4-6-43 不良品の非破壊観察

第四章 故障解析

[参考文献]

- 1) 大西、堀池、吉原:「固体表面分析I, II」講談社
電子情報通信学会技術研究報告R91-33 (1991)
- 2) 衛藤、岡添、長久保;IR EMSによる半導体の破壊箇所特定化検討
電子情報通信学会技術研究報告R91-33 (1991)」
- 3) 龍:「AFMナノプローブを用いた半導体デバイスの電気特性評価技術と物理解析」: LSIテストングシンポジウム/2002
- 4) 龍、留目:「AFM式ナノプローブ AFP(Atomic Force Probe)の故障解析への適用」: LSIテストングシンポジウム/2005
- 5) 渋谷、篠崎: Identification of Gate Oxide Breakdown Site by Using Scanning Electron Microscope: INTERNATIONAL SYMPOSIUM ON RELIABILITY AND MAINTAINABILITY 1990-TOKYO
- 6) 鈴木、田中、山内:「半導体デバイスでの高精度加工位置特定化手法開発による故障箇所断面TEM観察」: 第29回信頼性・保全性シンポジウム発表報文集、P49-52, 1999
- 7) Y. Takasaki, T. Yamamoto: Cross-section analysis of electric devices by scanning capacitance microscope: ESREF99, 1999
- 8) 森山、2004年 春季 第51回応用物理学会

第五章 信頼性の数理

5-1. 信頼性の推定

5-1-1. 信頼性尺度のノンパラメトリックな推定

信頼性を表す尺度としては、すでに述べたように時間 t における信頼度 $R(t)$ 、故障分布関数 $F(t)$ 、故障率 $\lambda(t)$ 、平均寿命 μ などのように多くの指標がその用途に応じて使い分けられています。

一般には寿命分布形態を把握してから各種の指標を求める場合が多いのですが、ときとして寿命分布形態になんの仮定もなしに信頼性を解明する必要がある場合があります。このような場合に用いられる推定法がノンパラメトリックな方法です。

ノンパラメトリックな推定法では、各種の指標のうち $R(t)$ および $F(t)$ の2種類の指標の推定が可能でF分布を用いて次のように表すことができます。

$$\hat{R}(t) = \frac{1}{1 + \frac{r+1}{n-r} F_{\alpha}(v_1, v_2)}$$

$$\hat{F}(t) = 1 - \hat{R}(t)$$

ここで、

$\hat{R}(t)$ = t 時間後における信頼度の推定値

$\hat{F}(t)$ = t 時間までの累積故障率の推定値

r = 試験中発生した故障数

n = 試験に供した製品数、または試験を行った回数

F = 自由度 v_1, v_2 に対応するF分布の上部 α パーセント点

$$v_1 = 2n - 2r$$

$$v_2 = 2r + 2$$

$(1-\alpha)$ は真の信頼度が推定した信頼度である $\hat{R}(t)$ と等しいか、それより大きい確率で「信頼度水準」と呼びます。

第五章 信頼性の数理

5-1-2. 寿命分布の形の推定と検定

(1) 分布形の推定

寿命分布がどのような形の分布に従うのかは、まず得られたデータをヒストグラムに取り、ヒストグラムの形から分布を仮定し、その仮定が正しいかどうかの検定を行い、仮定が正しくないとなればまた別の分布を仮定して検定を行う、という行動を繰り返すことによって分布の形を定めていきます。ヒストグラムから分布を推定するために用いられる手法に確率紙があります。確率紙の種類には、正規確率紙、対数正規確率紙、ワイブル確率紙などがあり、これらの確率紙上の横軸に時間、縦軸に対応する累積故障率を取り、データをプロットしてみてデータが直線上に並んでいれば用いた確率紙の分布（正規確率紙の場合は正規分布）に従うといえます。

例えば1,000個の製品を5,000 h試験して、1,000 hで2個、2,000 hでさらに1個、3,000 hでさらに2個、5,000 hでさらに1個、合計6個の故障が出た場合のデータをワイブル確率紙にプロットしてみます(図5-1-1)。

データは、ほぼ直線で近似され「形状パラメータ」である $m = 0.7$ となります。この分布はワイブル分布とみなせます。

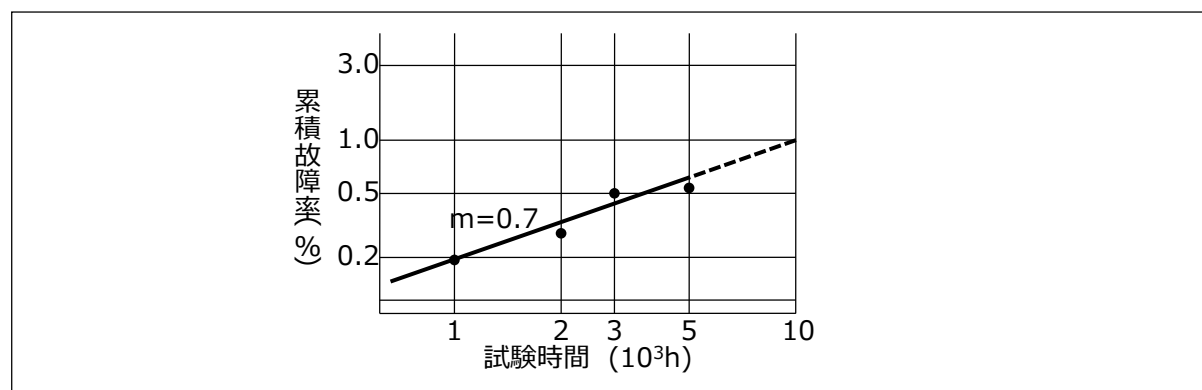


図5-1-1 連続動作試験の例

第五章 信頼性の数理

(2) 分布形の検定

観測値から推定した分布に対して母集団の分布が等しいかどうか確かめるため、 χ^2 検定という方法を用います。

n個の製品を試験し、試験時間をk組 ($t_1, t_2, t_3, t_4 \dots t_k$) に区分して、 $t_{i-1} \sim t_i$ における故障の発生率を f_i とします。次に検定しようとする分布から故障の発生頻度 p_i を求めます。このとき、 x を次式に示すように置きます。

$$x = \sum_{i=m}^k \frac{(F_i - p_i)^2}{p_i}$$

するとnが十分大きく、 $np_i > 10$ なら x の分布は近似的に自由度 $\phi = k-1$ の χ^2 分布となります。「各 t_i における実際の故障の発生数が、検定しようとしている分布から得られたものである」という仮説を検定するため、 χ^2 表から

$$\Pr(\chi^2 \geq \chi^2(\alpha, \phi)) = \alpha$$

を満足する $\chi^2 \alpha; \phi$ を求めた上で、求めた χ^2 と比較します。

$$x \leq \chi^2(\alpha, \phi)$$

比較結果が前式なら、「仮定した分布は正しい」とすることができます。

ここで α は統計学で有意水準と呼ばれるもので、検定の結論が間違っている危険性は、たかだか $\alpha\%$ 程度であるということで、通常は5%か10%の値が使われます。

なお、検定しようとする分布がm個のパラメータを持っている場合で、かつパラメータをデータから推定を行い、その上で分布の検定を行う場合には、 χ^2 分布の自由度 ϕ は、次式になります。

$$\phi = k - m - 1$$

第五章 信頼性の数理

5-1-3. 信頼性尺度のパラメトリック推定

寿命分布の形が判明した場合には、そのパラメータを推定することによって、信頼性の評価に必要な各種の指標を求めることができます。推定されるパラメータの値は、それ自体もまた標本値の関数で、ある分布を形成し、同じ母集団から抜き取って試験をしても、その都度求められるパラメータの値は異なってきます。このため、推定の方法にはパラメータの値を一点で推定する「点推定法」と、ある区間で推定する「区間推定法」の2通りを用います。「信頼水準 γ の区間推定」ということは、パラメータの区間推定値 θ_L (下限推定値) と θ_U (上限推定値) との間に母集団のパラメータが存在する確率が $\gamma\%$ あるということを意味しています。信頼水準という言葉の中の「信頼」は ReliabilityのことではなくConfidenceのことで、信頼水準のことを略して C・L(Confidence Level)と使うことがあります。

(1) 指数分布

(a) 定数打切方式の場合

定数打切方式とは、あらかじめ決めた個数だけ故障が出たら試験を打ち切る方式で、指数分布のパラメータである λ (故障率) は、次式になります。

$$\bar{\lambda} = \frac{r}{\sum_{i=1}^r t_i + (n-r)t_r}$$

$$\lambda_L = \frac{\chi^2\left(1 - \frac{\alpha}{2}, 2r\right)}{2r} \cdot \bar{\lambda}$$

$$\lambda_U = \frac{\chi^2\left(\frac{\alpha}{2}, 2r\right)}{2r} \cdot \bar{\lambda}$$

第五章 信頼性の数理

ただし、

$\bar{\lambda} = \lambda$ の点推定値

$\lambda_L = \lambda$ の区間推定の下限值

$\lambda_U = \lambda$ の区間推定の上限值

$n =$ 供試サンプル数

$r =$ 総故障数

$t_i =$ i 番目の故障が発生した時間

$\chi^2(\alpha, \phi) =$ 自由度 ϕ の χ^2 分布で $P(\chi^2 \geq \chi^2(\alpha, \phi)) = \alpha$ となる点

なお、平均寿命 μ の推定値は、以下の如く表されます。

$$\bar{\mu} = 1 / \bar{\lambda}$$

$$\mu_L = 1 / \lambda_U$$

$$\mu_U = 1 / \lambda_L$$

ここで

$\bar{\mu} =$ 平均寿命の点推定値

$\mu_L =$ 平均寿命の区間推定の下限值

$\mu_U =$ 平均寿命の区間推定の上限值

また、 $R(t)$ の点推定値、区間推定値の上限と下限は、それぞれ次式で表されます。

$$\bar{R}(t) = e^{-\bar{\lambda} \cdot t}$$

$$\bar{R}_u(t) = e^{-\bar{\lambda}_L \cdot t}$$

$$\bar{R}_L(t) = e^{-\bar{\lambda}_U \cdot t}$$

第五章 信頼性の数理

(b) 定時打切方式の場合

定時打切方式とは、あらかじめ定めた時間 t_c がきたら故障の数に関係なく試験を打ち切るもので、 λ の点推定値と区間推定値は、次式で表されます。

$$\bar{\lambda} = \frac{r}{\sum_{i=1}^r t_i + (n-r) \cdot t_c}$$

$$\lambda_L = \frac{\chi^2\left(1 - \frac{\alpha}{2}, 2r + 2\right)}{2r} \cdot \bar{\lambda}$$

$$\lambda_U = \frac{\chi^2\left(\frac{\alpha}{2}, 2r + 2\right)}{2r} \cdot \bar{\lambda}$$

(2) 正規分布の場合

正規分布のパラメータは μ と σ^2 の2種類があり、 μ は平均寿命を示し、 σ^2 はばらつきを示しています。平均値 μ の点推定値および分散 σ^2 の点推定値は、次式で得られます。

$$\bar{\mu} = \frac{\sum_{i=1}^n t_i}{n}$$

$$\bar{\sigma}^2 = \frac{\sum_{i=1}^n (t_i - \bar{\mu})^2}{n-1}$$

第五章 信頼性の数理

平均寿命の信頼区間の上限値 μ_U と下限値 μ_L は、次式で得られます。

$$\mu_U = \bar{\mu} + t(\alpha, n-1) \cdot \sqrt{\frac{\bar{\sigma}^2}{n}}$$

$$\mu_L = \bar{\mu} - t(\alpha, n-1) \cdot \sqrt{\frac{\bar{\sigma}^2}{n}}$$

また分散 σ^2 の区間推定の上限値 σ_L^2 と下限値 σ_U^2 は、次式で得られます。

$$\sigma_L^2 = \frac{(n-1)\bar{\sigma}^2}{\chi^2\left(1 - \frac{\alpha}{2}, n-1\right)}$$

$$\sigma_U^2 = \frac{(n-1)\bar{\sigma}^2}{\chi^2\left(\frac{\alpha}{2}, n-1\right)}$$

ただし、

$t(\alpha, n-1)$ = t分布表で $P(t > t(\alpha, n-1)) = \alpha$ となるtの値

$$\chi^2\left(\frac{\alpha}{2}, n-1\right) = \chi^2 \text{ 分布表で } P\left(\chi^2 \geq \chi^2\left(\frac{\alpha}{2}, n-1\right)\right) = \frac{\alpha}{2}$$

となる χ^2 の値。

第五章 信頼性の数理

(2) ワイブル分布の場合

ワイブル分布は、 m , t_0 , γ の3つのパラメータがあり、データの解析を計算で行うことは非常に困難であり、ワイブル確率紙による推定が多く用いられています。なお、 m が既知、 $\gamma = 0$ の場合には t_0 は、次式で表されます。

$$\bar{t}_0 = \frac{\sum_{i=1}^r t_i^m + (n-r)t_r^m}{r}$$

(3) 対数正規分布の場合

対数正規分布の場合正規分布と同じように2つのパラメータ μ と σ^2 を持っており、それぞれの点推定値は次式で表されます。

$$\bar{\mu} = \frac{\sum_{i=1}^n \ln t_i}{n}$$
$$\bar{\sigma}^2 = \frac{\sum_{i=1}^n (\ln t_i - \bar{\mu})^2}{n-1}$$

平均寿命の推定値 \bar{M} は、次式で表されます。

$$\bar{M} = \exp\left(\bar{\mu} + \frac{\sigma^2}{2}\right)$$

第五章 信頼性の数理

5-1-4. 確率紙の使い方

確率紙を用いた分布の検討は、非常に簡単で厄介な計算が不要であり理論と実際との適合度を調べたり、分布のパラメータを求めたり、広く使われています。

確率紙自体はすでに各種のものが市販されており、その扱いはポピュラーなものになっていますので、ここではデータを確率紙にプロットする方法と直線のあてはめ方について考えてみます。

確率紙上でデータを処理し、できるだけ精度の高い推定を行うために、いろいろなプロットの方法が提案されています。n個のサンプルを試験してi番目にこわれた製品の確率紙上へのプロット位置は、i番目の製品のこわれた時間 t_i 、その時間での累積故障率 F_i とすれば横軸、縦軸に (t_i, F_i) の点にプロットすることになります。

F_i のプロット位置として、以下のようなものが広範囲に用いられています。

- (1) i / n
- (2) $(i - 0.5) / n$
- (3) $(i - 1) / (n - 1)$
- (4) $i / (n + 1)$
- (5) $(i - \alpha_i) / (n - \alpha_i - \beta_i + 1)$

(1)から(4)までは非常に簡単ですが、(1)については最後の1個 (n番目のデータ) が活用されず、また、(3)については最初の1個が活用されないため、(2) または(4) の使用が推奨されています。

(5) の方法は(4)の改良法として提案されたもので、正規分布の場合には、 $\alpha_1 = \beta_1 = 3/8$ 、形状パラメータ m のワイブル分布の場合には、 $\alpha_i = 0.52 (1-1/m)$ 、 $\beta_i = 0.5-0.2 (1-1/m)$ と与えられています。

第五章 信頼性の数理

直線のあてはめに当たっては古典的な最小自乗法が適用できますが、各データにおけるばらつきは一定ではなく、中央附近のデータのばらつきが一番小さくなっていますので、この中央附近のデータができるだけ直線上に乗るように線を引くことが大切です。

第五章 信頼性の数理

5-2. 故障分布モデル

5-2-1. ロープモデル

前節で寿命分布の推定の数学的な方法を述べてきましたが、寿命分布と故障との関係が分かれば用いる寿命分布も限定することができて好都合です。このような点から寿命と故障との関係を眺めてみますと、まず指数分布では「単位時間当たりm回の有害なショックがランダムに製品に加わり、ショックの加えられた製品が故障する」というように考えることができます。同様にガンマ分布においては、1回のショックの代わりにk回のショックが加わって初めて製品が故障する場合にあてはまります。

いま製品が多くのワイヤからなるロープのように多くの構成部品から成り立っていると仮定します。ロープは全部のワイヤが切れて初めて故障となります。したがって製品の信頼度と部品の信頼度の間には、次式に示す関係が成立します。

$$R_D = 1 - \prod_{i=1}^k (1 - R_i)$$

ここで R_D は製品の信頼度、 R_i はi番目の部品の信頼度、 k は部品の数を表します。構成部品の寿命分布がそれぞれ独立に同じ形の指数分布をなすとし、製品の分布は形状パラメータが k 、尺度パラメータは構成部品のもとの指数分布と同じ m を持つガンマ分布となります。

このように構成部品が全部壊れて、初めて故障となるものを「ロープモデル」または「並列モデル」と呼び、製品のFatigueの問題や、装置の冗長設計の問題などを取り扱います。なお、ガンマ分布で k が大きくなると正規分布に近づき、平均値 = k/m となることから、正規分布は「ロープモデル」の究極の分布と考えられます。

第五章 信頼性の数理

5-2-2. 最弱リンクモデル

ロープモデルに対し、k個の輪からなる鎖のように、k個のうち一番弱い1個が壊れると故障になる場合のモデルを「最弱リンクモデル」と呼びます。k個の部品から構成される装置があって、そのうち1個の部品が壊れても装置として故障になる場合も同じことですので「最弱リンクモデル」のことを「直列モデル」と呼ぶこともあります。この場合の製品の信頼度 R_D と構成部品の信頼度 R_i の間には次の関係式が成立します。

$$R_D = \prod_{i=1}^k R_i \quad k: \text{構成部品の数}$$

ワイブル分布は最弱リンクモデルを表す一つの分布であり、この他に次の式で表される2重指数分布がワイブル分布の究極の分布として最弱リンクモデルを表すのに用いられます。

$$F(t) = 1 - \exp\left\{-\exp\left(\frac{t}{n}\right)\right\}$$

5-2-3. 比例効果モデル

$X_1 < X_2 < X_3 < \dots < X_n$ を疲労割れの各段階での大きさとし、各段階での大きさが前の段階の大きさに比例する、すなわち、次式が成り立つ場合、 X_n の分布は対数正規分布となります。

$$X_i = \alpha_i X_{i-1}$$

$$\alpha_i = \text{定数}$$

$$i = 1, 2, \dots$$

第五章 信頼性の数理

5-2-4. ストレス・強度モデル

製品の強度以上のストレスが溜まったとき、製品は故障するというモデルで、故障はストレスの分布と強度の分布の重なる部分として計算できます。

ストレスと強度が共に正規分布の場合には寿命分布もやはり正規分布となり、ある時点でのストレスの平均を μ_s 、標準偏差を σ_s 、強度分布のそれらを μ_k 、 σ_k とすれば、不信頼度は平均 $(\mu_k - \mu_s)$ 、標準偏差 $\sqrt{\sigma_k^2 + \sigma_s^2}$ という正規形強度分布で強度が零以下の部分になります。

5-2-5. 反応論モデル

故障物理的方法により寿命を推定しようとするもので、故障というものは微視的に見ると原子や分子レベルでの変化によって引き起こされるもので、有害な反応が進み、ある限界で故障が起こるというモデルです。このモデルが広く使われているものに化学反応のアレニウスモデルをベースにした寿命とストレスとの関係式があります。

$$\ln L = A + \frac{B}{T} - \alpha \ln S$$

L=平均寿命

A, B, aは定数

T=温度 (°K)

S=温度以外のストレス

第五章 信頼性の数理

5-2-6. 装置の信頼度モデル

(1) 直列モデル

n個の部品から成り立つ装置において、そのいずれかの部品が故障すれば、その装置故障する場合の装置の信頼度 $R_s(t)$ は、個々の部品の信頼度を $R_i(t)$ とした場合次式で表されます。

$$R_s(t) = 1 - \prod_{i=1}^n R_i(t)$$

(2) 並列モデル

n'個の部品を並列動作させ、そのいずれかが動作していれば装置として機能を果たす場合には次式で表されます。

$$R'_s(t) = 1 - \prod_{i=1}^{n'} (1 - R_i(t))$$

この場合、信頼度は部品1個の場合よりも向上します。

第五章 信頼性の数理

5-3. 故障率予測

5-3-1. 概 論

半導体製品を電子機器に実装し、市場において使用するにあたって、その故障率を予測することは、その機器の信頼性、保全性の点から重要なことです。

故障率の予測には加速寿命試験によって加速係数を算出し、実使用における故障率を予測する方法と市場における故障発生状況を集計して故障率を予測する方法があります。

第五章 信頼性の数理

5-3-2. 加速寿命試験による故障率予測

試験データから市場故障率を予測するとき、実際には故障数が非常に少ないことが多く、ときには0の場合も多くあります。このような場合、その故障率をある信頼水準で推定する必要があります。半導体デバイスでは、このような場合、故障の分布を指数分布を仮定したときの故障率の信頼限界の上限値がよく用いられます。これはJIS C5003 (電子部品の故障率試験方法通則) あるいはJESD85にも規定されている方法で、

総試験時間: T (試験数 n × 試験時間 t)

a : 設定した信頼水準に応じた発生故障数に相当する値

を用いて

$$\text{故障率: } \lambda = \frac{a}{T}$$

を求めます。この時、 a は表5-3-2-1を使用し求めます。

表5-3-2-1 故障数に相当する信頼水準の平均値¹⁾

故障数(r)	a	
	信頼水準60%	信頼水準90%
0	0.92	2.30
1	2.02	3.89
2	3.11	5.32
3	4.18	6.68
4	5.24	7.99
5	6.29	9.27
6	7.34	10.5
7	8.39	11.8
8	9.43	13.0
9	10.5	14.2
10	11.5	15.4

第五章 信頼性の数理

次に具体的な事例をあげて故障率を計算によって求めてみます。

半導体デバイス100個に対し、高温動作試験 ($T_a = 125^\circ\text{C}$ 、定格印加) を2,000h実施した結果、故障数が0の場合の故障率を予測します。

初めに総試験時間を求めるために、加速係数 A_F (電圧加速係数 $A_V \times$ 温度加速係数 A_T) を計算します。

電圧加速係数 A_V は、実使用電圧と試験電圧条件での故障発生率から求められますが実使用電圧を仕様定格内として、1倍とします。

温度加速係数 A_T は、実使用温度を 50°C 、期待される故障モードの代表的な活性化エネルギーを 0.8eV とすると、アレニウスの式より

$$\begin{aligned} A_T &= \frac{L_1}{L_2} = \exp\left\{\frac{E_a}{K} \times \left(\frac{1}{T_1} - \frac{1}{T_2}\right)\right\} \\ &= \exp\left\{\frac{0.8}{8.617 \times 10^{-5}} \times \left(\frac{1}{50 + 273} - \frac{1}{125 + 273}\right)\right\} \end{aligned}$$

$\doteq 225$ 倍

$$\begin{aligned} \text{加速係数 } A_F &= \text{電圧加速係数 } A_V \times \text{温度加速係数 } A_T \\ &= 1 \times 225 \\ &= 225 \text{倍} \end{aligned}$$

試料数 n 、 n 番目の試料の試験時間 t_n とすると、総試験時間 (Component Hours) は

$$\begin{aligned} &= \sum_{n=1}^{100} (t_n \times A_F) \\ &= 100 \times 2000 \times 225 \\ &= 4.5 \times 10^7 \text{ C. H. (Component hours)} \end{aligned}$$

第五章 信頼性の数理

故障数 $r=0$ ですので、信頼性水準60%とすると、

$$\begin{aligned}\lambda &= \frac{0.92}{4.5 \times 10^7} \\ &\doteq 2.0 \times 10^{-8} \\ &= 20\text{FIT} (10^{-9}\text{h})\end{aligned}$$

以上のとおり、この事例での市場における予測故障率は20FITとなります。

同様にして各デバイスの主要な故障モードとそのメカニズムを知ることにより、加速試験データから使用環境におけるデバイスの故障率を予測することができます。

第五章 信頼性の数理

[参考文献]

「Reliability HandBook」 edited by W・G・Ireson (McGRAW HILL)

「信頼性工学入門」塩見弘 (丸善)

1) JIS C5003 電子部品の故障率試験方法通則

付録

1. 抜取検査

1-1. 抜き取り検査

抜き取り検査とは、あるロットの一部をサンプルとしてあらかじめ定められた方式で抜き取って試験を行い、その結果を判定基準と比較して該当ロット全体の合格、不合格を判定する検査です。ロットの品質特性にバラツキのない場合は、ロットからサンプルを一個抜き取れば、他の品物の品質が分かります。しかし、現実にはバラツキが存在し、バラツキが少なくなるように同条件で作られた生産ロットで検査ロットを構成するようにします。

1-2. 抜き取り検査の型

(1) 規準型

規準型抜き取り検査とは、生産者側と購入者側が合議の上、双方の要求を満足するように作られており、その生産者に対する保護としては、良い品質のロットが検査で不合格となる確率 (α 生産者危険) を一定の値に決めることによって与え、購入者に対する保護としては、悪い品質のロットが合格となる確率 (β : 消費者危険) を一定の値に決めることによって与えられます。

例えば、生産者危険が $\alpha = 0.05$ の場合、100回のうち5回、良い品質のロットが検査で不合格となる可能性があります。消費者危険が $\beta = 0.1$ の場合、100回のうち10回、悪い品質のロットが検査で合格となる可能性があります。

(2) 選別型

選別型抜き取り検査とは、抜き取り検査で合格となったロットはそのまま受け入れるが、不合格となったロットは全数選別する抜き取り検査です。そのため、全数検査ができない破壊検査には適用しません。

付録

(3) 調整型

調整型抜き取り検査とは、過去の検査の結果から合理的な検査を行うもので、良い品質のロットの場合は、検査を緩和し（ゆるい検査）、悪い品質のロットの場合は、厳しい検査（きつい検査）を行うという具合に、検査基準にフィードバックする抜き取り検査の方法です。その方法はJIS Z9015-1で定められています。

1-3 抜き取り検査とOC曲線

計数抜き取り検査（JIS Z 9002）では、不良率 $p_0\%$ 以下の良いロットはなるべく合格（ $AQL = p_0\%$ ）させ、不良率 $p_1\%$ 以上の悪いロットはなるべく不合格とする判定にしたい。そのため、あるロットから大きさ n 個のサンプルを抜き取り、その中の不良品数が c 個以下であればロットを合格とし、 c 個を超える場合には不合格とします。これを計数抜き取り検査方式といい試料の大きさと合格判定個数から (n, c) と表現します。

また、二項分布を使用して、試料数を n 個抜き取った場合に x 個の不良が出る確率 $P(x)$ は、下記の式から求めることができます。

$$P(x) = \frac{n!}{x!(n-x)!} p^x (1-p)^{n-x} \quad (x=0, 1, 2, 3, \dots, n)$$

ここで、横軸を不良率 (p) 、縦軸を不良率に対する抜き取り方式による合格確率 (P) をとりグラフ化したものをOC曲線（Operating Characteristic Curve）と呼びます。

付録

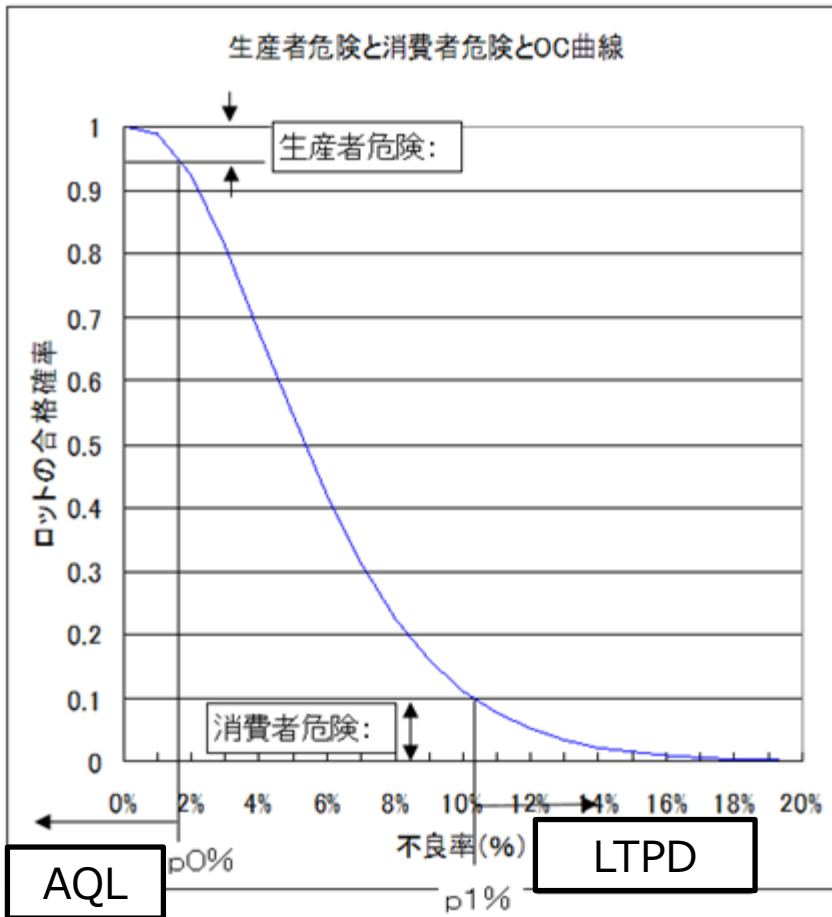


図1-3-1 OC曲線

抜き取り検査方式、すなわちOC曲線のポイントとして、次の4つがあります。

- (1) AQL (Acceptable Quality Level): なるべく合格させたいロットの不良率の上限 (p_0)
- (2) 生産者危険 (α): AQLと同一不良率のロットが不合格となる確率)
- (3) LTPD (Lot Tolerance Percent Defective): なるべく不合格としたいロットの不良率の下限 (p_1)
- (4) 消費者危険(β): LTPDと同一不良率のロットが合格となる確率

付録

1-4 計数抜き取り検査の数理

抜き取り方式 (n, c) が与えられた場合に、不良率 $p\%$ のロットがその抜き取り方式で合格する確率は次のようにして求めることができます。

大きさ n のサンプル中に x 個の不良品が出現する確率を $P(x)$ とします。ロットが合格する確率は、サンプル中に不良品が $0, 1, \dots, (c - 1), c$ 個発生する確率 $P(0), P(1), \dots, P(c - 1), P(c)$ を求め、これらをすべて加えたものが合格の確率 $L(p)$ となり、次式のようになります。

$$L(p) = P(0) + P(1) + \dots + P(c) = \sum_{x=0}^c P(x)$$

次に $P(x)$ を求める場合、計数抜き取り検査の場合は超幾何分布を用いて下記の式で計算を行います。

$$P(x) = P(x, n, p, N) = \frac{\binom{Np}{x} \binom{N - Np}{n - x}}{\binom{N}{n}}$$

ここで、 N はロットの大きさです。

ただし、 N が大きくなると超幾何分布は二項分布に近似するので、一般に $N/n > 10$ の場合には計算が容易な二項分布で計算しても、実務上問題ありません。

付録

1-5 抜き取り表

検査量を示す検査水準を表1-5-1に示す (ANSI/ASQ Z1.4)。一般的用途しては、通常検査水準のIIを使用します。

表1-5-1 ロットの大きさと試料文字

ロットの大きさ	特別検査水準				通常検査水準		
	S-1	S-2	S-3	S-4	I	II	III
2 - 8	A	A	A	A	A	A	B
9 - 15	A	A	A	A	A	B	C
16 - 25	A	A	B	B	B	C	D
26 - 50	A	B	B	C	C	D	E
51 - 90	B	B	C	C	C	E	F
91 - 150	B	B	C	D	D	F	G
151 - 280	B	C	D	E	E	G	H
281 - 500	B	C	D	E	F	H	J
501 - 1200	C	C	E	F	G	J	K
1201 - 3200	C	D	E	G	H	K	L
3201 - 10000	C	D	F	G	J	L	M
10001 - 35000	C	D	F	H	K	M	N
35001 - 150000	D	E	G	J	L	N	P
150001 - 500000	D	E	G	J	M	P	Q
500001 以上	D	E	H	K	N	Q	R

ANSI/ASQ Z1.4

試料の大きさ (サンプルサイズ) は、試料文字 (サンプル文字) から決まり、適用する試料文字は、ロットの大きさと検査水準にて決定されます。(表 1-5-2)

例えば、ロットの大きさが「501 - 1200」、通常検査水準の「II」である場合、試料の大きさは、「J」となり、ロット合格品質水準では、なみ検査の1回抜き取り方式 (表 1-5-2) を適用します。表 1-5-2の横方向の合格品質水準: AQL = 0.15%から下方矢印と縦方向の試料文字「J」、試料の大きさ「80」の横線との交点から、Ac =「0」、Re =「1」が得られます。これは、ロット (501~1200個) からの抜き取り数が80個で、不良数が0個 (Ac: 合格判定個数 = 0) の時はロットを合格と判定し、不良数が1個以上が見つかった時はそのロットは不合格と判定する1回抜き取り方式です。

付録

表1-5-2 なみ検査の1回抜き取り方式（主抜取表）

試料文字	試料の大きさ	合格品質水準 (AQL) (ナミ検査)																											
		0.010	0.015	0.025	0.040	0.065	0.10	0.15	0.25	0.40	0.65	1.0	1.5	2.5	4.0	6.5	10	15	25	40	65	100	150	250	400	650	1000		
		Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	Ac Re	
A	2																												
B	3																												
C	5																												
D	8																												
E	13																												
F	20																												
G	32																												
H	50																												
J	80																												
K	125																												
L	200																												
M	315																												
N	500																												
P	800																												
Q	1250																												
R	2000																												

ANSI/ASQ Z1.4

- ↓ = 矢印の下方の最初の抜き取り方式を用いる。試料の大きさがロットの大きさ以上になれば全数検査する。
- ↑ = 矢印の上方の最初の抜き取り方式を用いる。
- Ac = 合格判定個数
- Re = 不合格判定個数

ご注意

製品取り扱い上のお願い

キオクシア株式会社およびその子会社ならびに関係会社を以下「当社」といいます。
本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、当社Webの「信頼性情報」など）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下「特定用途」といいます）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、救命・生命維持に関する医療機器、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社Webサイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品のRoHS適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。

KIOXIA